

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸ H01L 21/302	(11) 공개번호 (43) 공개일자	특 1999-0066776 1999년 08월 16일
(21) 출원번호	10-1998-0038862	
(22) 출원일자	1998년 09월 19일	
(30) 우선권 주장	98-3205 1998년 01월 09일 일본(JP)	
(71) 출원인	미쓰비시덴키 가부시끼가이샤 다니구찌 미찌로오, 기타오카 다카시 일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고	
(72) 발명자	미시바시, 다케오 일본 도쿄도 지요다구 마루노우치 2초메 2반 3고 미쓰비시 덴기가부시끼가 이샤 내 도요시마, 도시유키 일본 도쿄도 지요다구 마루노우치 2초메 2반 3고 미쓰비시 덴기가부시끼가 이샤 내 가따야마, 게이이찌 일본 664 효고현 미타미시 미즈하라 4초메 1 료덴 세미콘덕터 시스템엔지니어링 코퍼레이션 내 야스다, 나오키 일본 도쿄도 지요다구 마루노우치 2초메 2반 3고 미쓰비시 덴기가부시끼가 이샤 내	
(74) 대리인	구영창, 장수길, 주성민	

실사청구 : 있음

(54) 반도체 장치 및 그의 제조 방법

요약

노광에 의한 레지스트 패턴의 형성에 있어서는 파장에 의해 미세화에 한계가 있다. 본 발명에서는 이 한계를 초월함과 동시에 패턴 형상이 우수하고 또한 청정한 레지스트 패턴 형성이 가능한 방법을 얻는다.

산의 존재하에 가교하는 재료를 포함하는 제2 레지스트 (2)로 노광에 의해 산을 발생하는 재료를 포함하는 제1 레지스트 패턴 (1a) 상을 덮는다. 노광에 의해 제1 레지스트 패턴 (1a) 중의 산을 발생시키고, 계면에 가교층 (4)을 형성하고, 제1 레지스트 패턴 (1a)보다도 두꺼운 제2 레지스트 패턴 (2a)을 형성한다. 그 후, 제2 레지스트 (2)를 물에 유기 용매를 녹인 용액으로 박리하고, 다시 물로 세정하는 2단계 처리에 의해 청정한 레지스트 패턴을 얻는다. 이에 따라, 레지스트 홀 직경의 축소 및 분리 폭의 축소가 가능하다.

도표도

도3

명세서

도면의 간단한 설명

- 도1은 본 발명의 실시 형태 1의 레지스트 패턴 형성 방법을 설명하기 위한 마스크 패턴도이다.
- 도2는 본 발명의 실시 형태 1의 레지스트 패턴 형성 방법을 설명하기 위한 공정 흐름도이다.
- 도3은 본 발명의 실시 형태 1의 레지스트 패턴 형성 방법을 설명하기 위한 공정 흐름도이다.
- 도4는 본 발명의 실시 형태에 사용되는 수용성 수지 조성물의 구체예이다.
- 도5는 본 발명의 실시 형태에 사용되는 수용성 가교제 조성물의 구체예이다.
- 도6은 본 발명의 실시 형태 1의 레지스트 패턴 형성 방법을 설명하기 위한 공정 흐름도이다.
- 도7은 본 발명의 실시 형태 1의 레지스트 패턴 형성 방법을 설명하기 위한 공정 흐름도이다.
- 도8은 본 발명의 실시 형태 2의 레지스트 패턴 형성 방법을 설명하기 위한 공정 흐름도이다.
- 도9는 본 발명의 실시 형태 3의 레지스트 패턴 형성 방법을 설명하기 위한 공정 흐름도이다.

- 도 10은 본 발명의 실시예 1에서의 제1 레지스트 패턴을 나타내는 평면도이다.
 도 11은 본 발명의 실시예 2에서의 제1 레지스트 패턴을 나타내는 평면도이다.
 도 12는 본 발명의 실시예 3에서의 제1 레지스트 패턴을 나타내는 평면도이다.
 도 13은 본 발명의 실시예 4에서의 제1 레지스트 패턴을 나타내는 평면도이다.
 도 14는 본 발명의 실시예 13에서의 제2 레지스트 패턴을 나타내는 평면도이다.
 도 15는 본 발명의 실시예 13에서의 레지스트 패턴 크기의 측정 결과를 나타내는 표이다.
 도 16은 본 발명의 실시예 14에서의 제2 레지스트 패턴을 나타내는 평면도이다.
 도 17은 본 발명의 실시예 14에서의 레지스트 패턴 크기의 측정 결과를 나타내는 표이다.
 도 18은 본 발명의 실시예 15에서의 제2 레지스트 패턴을 나타내는 평면도이다.
 도 19는 본 발명의 실시예 15에서의 레지스트 패턴 크기의 측정 결과를 나타내는 표이다.
 도 20은 본 발명의 실시예 16에서의 제2 레지스트 패턴을 나타내는 평면도이다.
 도 21은 본 발명의 실시예 16에서의 레지스트 패턴 크기의 측정 결과를 나타내는 표이다.
 도 22는 본 발명의 실시예 17에서의 제2 레지스트 패턴 크기의 측정 결과를 나타내는 표이다.
 도 23은 본 발명의 실시예 18에서의 제2 레지스트 패턴 크기의 측정 결과를 나타내는 표이다.
 도 24는 본 발명의 실시예 19에서의 제2 레지스트 패턴 크기의 측정 결과를 나타내는 표이다.
 도 25는 본 발명의 실시예 20에서의 제2 레지스트 패턴 크기의 측정 결과를 나타내는 표이다.
 도 26은 본 발명의 실시예 21에서의 제2 레지스트 패턴 크기의 측정 결과를 나타내는 표이다.
 도 27은 본 발명의 실시예 22에서의 제2 레지스트 패턴 크기의 측정 결과를 나타내는 표이다.

<도면의 주요 부분에 대한 부호의 설명>

- 1, 11 및 21 : 제1 레지스트
 1a, 11a 및 21a : 제1 레지스트 패턴
 2, 12 및 22 : 제2 레지스트
 3 : 반도체 기판 (반도체 기재)
 4, 14 및 24 : 개공층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 공정에서 레지스트 패턴을 형성할 때, 패턴의 분리 크기 또는 홀 개구 크기를 축소하는 미세 분리 레지스트 패턴의 형성 방법, 및 에칭 후의 미세 분리 패턴 측벽의 조면화를 실현하는 가공 방법을 사용한 반도체 장치의 제조 방법 및 이 제조 방법에 의해 제조된 반도체 장치에 관한 것이다.

반도체 소자의 고집적화에 따라 제조 공정에 요구되는 배선 및 분리 폭은 매우 미세화되어 있다. 일반적으로 미세 패턴의 형성은 광식판 기술에 의해 레지스트 패턴을 형성하고, 그 후에 형성된 레지스트 패턴을 마스크로 하여 기재의 각종 박막을 에칭하는 방법에 의해 행하여졌다.

따라서, 미세 패턴 형성에 있어서는 광식판 기술이 매우 중요해진다. 광식판 기술은 레지스트 도포, 마스크 접합, 노광, 현상으로 구성되어 있고, 미세화에 대해서는 노광 파장의 제약으로 인해 미세화에는 한계가 발생한다.

따라서, 종래의 노광에 의한 광식판 기술의 한계를 초월하는 미세한 레지스트 패턴의 형성 방법으로서 일본 특허 공개 제94-250379호 공보, 등 제95-134422호 공보 등의 방법이 제안되어 있고, 이들 방법은 제1 레지스트와 제2 레지스트 수지 성분의 상호 확산을 이용하고 있다. 그러나, 이들의 방법에서는 제2 레지스트로서 제1 레지스트를 용해시킬 수 있는 유기 용매에 가용성인 포토레지스트 재료를 사용하고 있어, 제1 레지스트 패턴을 변형시키는 문제가 있다.

또한, 제2 레지스트를 박리시키는 처리 방법은 제2 레지스트를 노광하고 산을 발생시키며, 제2 레지스트를 용해시킬 수 있는 현상액 (TMAH (테트라메틸암모늄 수화물) 수용액 등의 알칼리성 현상액, 또는 크실렌 등)을 사용하여 제2 레지스트를 용해 제거하고 있다. 그러나, 제2 레지스트의 노광시, 기재인 제1 레지스트에 대해서도 노광을 행함으로써 가용화되는 경우가 있다. 가용화된 제1 레지스트는 제2 레지스트를 용해시킬 수 있는 용액에 대해서 가용성이 되기 때문에 제2 레지스트의 용해 제거시, 제1 레지스트가 용해될 가능성이 높아 공정으로서의 잇점이 적다.

또한, 제2 레지스트로서 일본 특허 공개 제94-250379호 공보에 기재한 폴리비닐알코올을 사용한 경우에는 그 효과가 적은 것, 처리 후의 패턴 형상이 나쁜 것, 또는 물만으로 현상을 행하기 때문에 충분한 세정이 행해지지 않고 패턴상에 얼룩 등의 현상 잔사가 남기 쉬우며 다음 공정에서의 에칭시, 패턴 결함

등을 발생시키는 문제가 남는다.

본 발명이 이루고자 하는 기술적 과제

이상 설명한 바와 같이, 종래의 노광에 의한 광석판 기술에서는 그 파장의 한계를 넘는 미세한 레지스트 패턴을 형성하는 것은 매우 곤란하였다.

또한, 파장 한계를 초월하여 패턴 형성을 가능하게 하는 수법도 제안되어 있지만, 몇가지의 문제가 남아 있고 실제의 반도체 제조에 적용하기가 어렵다.

본 발명은 분리 패턴, 홀 패턴의 미세화에 있어서 파장 한계를 초월하는 패턴 형성을 가능하게 하는 미세 분리 레지스트 패턴 형성을 실현하는 기술을 제공하는 것이다.

또한, 본 발명은 패턴 형상이 우수하고 얼룩 등의 잔사가 남지 않는 매우 청정한 패턴 형성 수법을 제공하는 것이다.

또한, 이들의 미세 분리 레지스트 패턴 형성 기술을 사용한 반도체 장치를 제공하는 것이다.

본 발명의 구성 및 작용

본 발명의 제1 반도체 장치의 제조 방법은 반도체 기재상에 제1 레지스트의 막을 형성하고, 이 막을 패턴 형성하여 산을 공급할 수 있는 제1 레지스트 패턴을 형성하는 공정과, 이 제1 레지스트 패턴상에 제1 레지스트 패턴을 용해시키지 않고 또한, 산의 존재에 의해 가교 반응을 일으키는 제2 레지스트를 형성하는 공정과, 상기 제1 레지스트 패턴으로부터의 산의 공급에 의해 상기 제1 레지스트 패턴에 접하는 상기 제2 레지스트의 계면 부분에 가교막을 형성하는 처리 공정과, 상기 제2 레지스트의 비가교 부분을 제1 레지스트 패턴을 용해시키지 않고 제2 레지스트를 용해시킬 수 있는 용해성이 높은 용액으로 현상하고, 또한 용해성이 낮은 용액으로 린스하는 다단계 처리에 의해 제2 레지스트 패턴을 형성하는 공정과, 이 제2 레지스트 패턴을 마스크로 하여 상기 반도체 기재를 에칭하는 공정을 포함하는 것이다.

또한, 본 발명의 제2 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 용해성이 높은 용액은 제1 레지스트를 용해시키지 않는 범위에서 물에 알코올류 혹은 수용성의 유기 용제를 혼합한 용액이고, 상기 용해성이 낮은 용액은 물인 것이다.

또한, 본 발명의 제3 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 알코올류는 메탄올, 에탄올, 프로판올 또는 부탄올인 것이다.

또한, 본 발명의 제4 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 수용성의 유기 용제는 N-메틸피롤리돈, 2-헵탄올 또는 아세톤인 것이다.

또한, 본 발명의 제5 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 용해성이 높은 용액은 계면 활성제를 함유하는 것이다.

또한, 본 발명의 제6 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 제1 레지스트는 노광에 의해 또는 가수분해에 의해 산을 발생시키는 레지스트인 것이다.

또한, 본 발명의 제7 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 제1 레지스트는 레지스트 패턴 중에 포함되는 산에 의해 가열 처리시 그 레지스트의 계면 부분을 가교시키는 레지스트인 것이다.

또한, 본 발명의 제8 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 제1 레지스트는 노광과 가열 처리에 의해 산을 발생시키는 레지스트인 것이다.

또한, 본 발명의 제9 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 제1 레지스트는 산을 함유하는 레지스트이다.

또한, 본 발명의 제10 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 제1 레지스트 패턴을 산성 액체 또는 산성 가스에 의해 표면 처리함으로써 산을 공급할 수 있도록 하는 것이다.

또한, 본 발명의 제11 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 제1 레지스트 패턴의 소정의 영역을 선택적으로 노광하고, 가열함으로써 상기 소정의 영역의 제1 레지스트 패턴 표면에 가교막을 형성하도록 하는 것이다.

또한, 본 발명의 제12 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 제1 레지스트 패턴의 소정의 영역에 선택적으로 전자 빔을 조사함으로써 상기 소정의 영역 이외의 제1 레지스트 패턴 표면에 가교막을 형성하도록 하는 것이다.

또한, 본 발명의 제13 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 제1 레지스트는 노불락 수지와 나프토퀴논디아지드계와의 혼합물로부터 형성된 레지스트인 것이다.

또한, 본 발명의 제14 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 제1 레지스트는 자외선, EB (전자선) 또는 X선을 조사하여 산을 발생시키는 기구를 사용한 화학증착형 레지스트인 것이다.

또한, 본 발명의 제15 반도체 장치의 제조 방법은 상기 제1 반도체 장치의 제조 방법에 있어서, 제2 레지스트는 수용성의 가교제 또는 산의 존재에 의해 가교 반응을 일으키는 수용성 수지 또는 수용성의 가교제 또는 이들의 혼합물인 것이다.

또한, 본 발명의 제16 반도체 장치의 제조 방법은 상기 제15 반도체 장치의 제조 방법에 있어서, 수용성

수지는 폴리아크릴산, 폴리비닐아세탄, 폴리비닐피롤리돈, 폴리비닐알코올, 폴리에틸렌이민, 스티렌-무수 말레인산 공중합체, 폴리비닐아민, 폴리알릴아민, 옥사졸린기 함유 수용성 수지, 수용성 우레탄, 수용성 페놀, 수용성 에폭시, 수용성 멜라민 수지, 수용성 우레아 수지, 알키드 수지, 술폰아미드 및 이들의 염의 1종 또는 2종 이상의 혼합물인 것이다.

또한, 본 발명의 제17 반도체 장치의 제조 방법은 상기 제15 반도체 장치의 제조 방법에 있어서, 수용성의 가교제는 멜라민 유도체, 메틸올멜라민 유도체 등의 멜라민계 가교제, 우레아 유도체, 메틸올우레아 유도체, 에틸렌우레아 카르복실산, 메틸에틸우레아 유도체 등의 우레아계 가교제, 및 벤조구아나민, 알코올우릴, 이소시아네이트 등의 아미노계 가교제의 1종 또는 2종 이상의 혼합물인 것이다.

또한, 본 발명의 제18 반도체 장치의 제조 방법은 상기 제15 반도체 장치의 제조 방법에 있어서, 제2 레지스트로서 폴리비닐아세탈 수지를 사용하여 이 폴리비닐아세탈 수지의 아세탈화도를 조정함으로써 상기 제1 레지스트 패턴과의 반응량을 제어하는 것이다.

또한, 본 발명의 제19 반도체 장치의 제조 방법은 상기 제15 반도체 장치의 제조 방법에 있어서, 제2 레지스트로서 수용성의 수지와 수용성의 가교제의 혼합물을 사용하여 상기 수용성 가교제의 혼합량을 조정함으로써 제1 레지스트 패턴과의 반응량을 제어하는 것이다.

또한, 본 발명의 제20 반도체 장치의 제조 방법은 상기 제15 반도체 장치의 제조 방법에 있어서, 제2 레지스트는 첨가제로서 1종의 가소제 또는 2종 이상의 가소제의 혼합물을 더 함유하는 것이다.

또한, 본 발명의 제21 반도체 장치의 제조 방법은 상기 제15 반도체 장치의 제조 방법에 있어서, 제2 레지스트는 1종의 계면 활성제 또는 2종 이상의 계면 활성제의 혼합물을 혼합한 것이다.

또한, 본 발명의 제22 반도체 장치의 제조 방법은 상기 제15 반도체 장치의 제조 방법에 있어서, 제2 레지스트의 용매로서 물, 또는 물과 알코올, N-메틸피롤리돈 등의 수용성 용매의 혼합 용매를 사용하는 것이다.

또한, 본 발명의 제1 반도체 장치는 상기 제1 내지 22 중 하나에 기재한 반도체 장치의 제조 방법에 의해 제조한 것이다.

<발명의 실시 형태>

<실시 형태 1>

도 1은 본 발명에서 대상으로 하는 미세 분리된 레지스트 패턴을 형성하기 위한 마스크 패턴의 예를 나타내는 도면이고, 도 1 (a)는 미세 홀의 마스크 패턴 (100), 도 1 (b)는 미세 스페이스의 마스크 패턴 (200), 도 1 (c)는 고립된 나머지 패턴 (300)을 나타낸다. 도 2 및 도 3은 본 발명의 실시 형태 1의 미세 분리 레지스트 패턴 형성 방법을 설명하기 위한 공정 흐름도이다.

우선, 도 1 및 도 2를 참조하면, 본 실시 형태의 미세 분리 레지스트 패턴의 형성 방법 및 이것을 이용한 반도체 장치의 제조 방법을 설명하겠다.

도 2 (a)에서 나타낸 바와 같이, 반도체 기판 (반도체 웨이퍼) (3)에 적당한 가열 처리하여 내부로부터 산을 발생하는 제1 레지스트 (1)를 도포한다 (예를 들어, 두께 0.7 내지 1.0 μm 정도).

이 제1 레지스트 (1)는 반도체 기판 (3)상에 회전 도포 등에 의해 도포하고, 이어서 프리 베이킹 (70 내지 110°C에서 1분 정도의 열 처리)을 행하여 제1 레지스트 (1) 중의 용제를 증발시킨다.

다음에, 제1 레지스트 패턴 (1a)을 형성하기 위해서, g선, i선, 또는 Deep-UV, KrF 엑시머, ArF 엑시머, EB (전자선), X-선 등을 적용한 제1 레지스트 (1)의 감광 파장에 대응한 광원을 사용하고, 도 1에 나타낸 패턴을 포함하는 마스크를 사용하여 투영 노광한다.

여기에서 사용하는 제1 레지스트 (1)는 특히 한정되는 것은 아니며 가열 처리, 혹은 빛 등의 조사에 의해 레지스트 내부에 산성 성분이 발생하는 기구를 사용한 레지스트라면 좋으며, 예를 들어 KrF 엑시머, ArF 엑시머, EB (전자선), X-선 등의 조사에 의해 산이 발생하는 레지스트라면 좋고, 또한 포지형, 네가형 레지스트 중 어느쪽이라도 좋다.

예를 들어, 제1 레지스트 (1)로서는 노볼락 수지, 나프토퀴논디아자드계 감광제로 구성되는 포지형 레지스트 등을 들 수 있다.

또한, 제1 레지스트 (1)로서는 노광에 의해 산을 발생하는 기구를 사용한 화학 증폭형 레지스트의 적용도 가능하고, 노광에 의해 산을 발생하는 반응계를 이용한 레지스트 재료라면 특히 한정되지 않는다.

제1 레지스트 (1)를 노광시킨 후, 필요에 따라서 FEB (노광 후 가열)을 행하고 (예를 들어 PEB 온도 : 50 내지 130°C), 포토레지스트의 해상도를 향상시킨다. 다음에 TMAH (테트라메틸암모늄하이드록사이드) 등의 약 0.05 내지 3.0 중량%의 알칼리 수용액을 사용하여 현상한다. 도 2 (b)는 이렇게 해서 형성된 제1 레지스트 패턴 (1a)을 나타낸다.

현상 처리를 행한 후, 필요에 따라서 포스트 디벨롭핑 베이킹을 행하는 경우도 있다 (예를 들어, 베이킹 온도는 60 내지 120°C, 60초 정도). 이 열 처리는 후의 가교 반응에 영향을 주기 때문에 사용하는 제1 레지스트, 혹은 제2 레지스트 재료에 맞추어 적절한 온도로 설정하는 것이 바람직하다.

이상은 산을 발생하는 제1 레지스트 (1)를 사용한다는 점을 별도로 하면 공정으로서는 일반적인 레지스트 공정에 의한 레지스트 패턴의 형성과 동일하다.

이어서, 도 2 (c)에 나타낸 바와 같이 반도체 기판 (1)상에 산의 존재에 의해 가교하는 가교성의 화합물을 포함하고, 도 1에 나타낸 제1 레지스트 (1)를 용해하지 않은 물, 혹은 물과 수용성 용제의 혼합 용액에 용해된 제2 레지스트 (2)를 도포한다.

제2 레지스트 (2)의 도포 방법은 제1 레지스트 패턴 (1a)상에 균일하게 도포 가능한 것이면 특히 한정되

는 것은 아니며, 스프레이에 의한 도포, 혹은 제2 레지스트 용액 중에 침지시킴으로써 도포하는 것도 가능하다.

이어서, 제2 레지스트 (2)의 도포 후, 필요에 따라서 이것을 프리 베이킹하고 (예를 들어, 85℃, 60초 정도), 제2 레지스트 (2)의 층을 형성시킨다.

이어서, 도 2 (d)에 나타낸 바와 같이, 반도체 기판 (1)에 형성된 제1 레지스트 패턴 (1a)과, 그 위에 형성된 제2 레지스트 (2)를 가열 처리 (믹싱 베이킹, 이하 필요에 따라서 MB라 약칭한다. 가열 온도는, 예를 들어 85 내지 150℃)하고, 제1 레지스트 패턴 (1a)로부터 산의 확산을 촉진시켜, 제2 레지스트 (2)로 공급하며 제2 레지스트 (2)와 제1 레지스트 패턴 (1a)과의 계면에서 가교 반응을 발생시킨다. 이 경우의 MB 온도/시간은, 예를 들어 85 내지 150℃/60 내지 120초이고, 사용하는 레지스트 재료의 종류, 필요로 하는 반응층의 두께에 의해 최적의 조건을 설정하면 된다.

이어서, 도 2 (e)에 나타낸 바와 같이, 우선 제1 레지스트 패턴 (1a)을 용해하지 않은 물과 수용성의 유기 용매 (예를 들어, 프로판올)의 혼합 용액으로 세정하고, 이어서 물로 세정하고 건조시킴으로써 가교하지 않은 제2 레지스트 (2)를 박리한다. 이상의 처리에 의해 홀 내경, 또는 분리 폭을 축소, 혹은 고립된 나머지 패턴의 면적을 확대한 레지스트 패턴을 얻는 것이 가능해진다.

물에 대한 프로판올의 농도는 1 내지 30 중량% 정도의 범위에서 설정하면 되고, 제1 레지스트를 용해하지 않은 범위에서 또한 제2 레지스트의 미가교 부분을 충분히 용해하는 범위로 하면 된다. 물에 혼합하는 다른 수용성 유기 용매를 혼합하는 경우에도 마찬가지이다.

이상, 도2를 참조하여 설명한 미세 레지스트 패턴의 형성 방법에서는 제1 레지스트 패턴 (1a)상에 제2 레지스트 (2)의 층을 형성한 후, 적당한 가열 처리에 의해 제1 레지스트 패턴 (1a)에서 제2 레지스트 (2)로 산을 확산하는 방법에 대해서 설명하였다.

다음에, 가열 처리 대신 혹은 가열 처리에 앞서 노광에 의해 산을 발생시키고 확산하는 방법에 대해서 설명하겠다.

도 3은 이 경우의 미세 분리 레지스트 패턴의 형성 방법을 설명하기 위한 공정 흐름도이다. 우선, 도 3 (a) 내지 (c)의 공정은 도 2 (a) 내지 (c)와 마찬가지로 설명을 생략한다. 또한, 이 경우에 제1 레지스트 (1)로서는 노광에 의해 산을 발생하는 기구를 사용한 화학 증폭 레지스트의 적용도 가능하다. 화학 증폭 레지스트에서는 빛 및 전자선, X선 등에 의한 산 촉매의 생성 반응이 일어나고 생성된 산의 촉매에 의해 일어나는 증폭 반응을 이용한다.

다음에, 도 3 (c)로 표시되는 제2 레지스트 (2)의 층을 형성한 후, 도 3 (d)에 나타낸 바와 같이 다시 Hg 램프의 g선 또는 i선으로 반도체 기판을 전면 노광하고, 제1 레지스트 패턴 (1a) 중에 산을 발생시키며, 이에 따라 도 3 (e)에 나타낸 바와 같이 제1 레지스트 패턴 (1a)에 접하는 제2 레지스트 (2)의 계면에 가교층 (4)을 형성한다.

이 때의 노광에 사용하는 광원은 제1 레지스트의 감광 파장에 따라서 Hg 램프, KrF 엑시머, ArF 엑시머 등을 사용하는 것도 가능하고, 노광에 의해 산의 발생이 가능하면 특히 한정되지 않고, 사용한 제1 레지스트의 감광 파장에 따른 광원, 노광량을 사용하여 노광하면 된다.

이와 같이, 도 3의 예에서는 제2 레지스트 (2)의 도포 후에 노광하고, 제1 레지스트 패턴 (1a) 중에 산을 발생시키는 것으로, 제1 레지스트 패턴 (1a)을 제2 레지스트 (2)로 덮은 상태에서 노광을 행하기 때문에 제1 레지스트 패턴 (1a) 중에서 발생하는 산의 양을 노광량의 조절에 의해 넓은 범위에서 정확히 제어할 수 있어 가교층 (4)의 막 두께를 정밀하게 제어할 수 있다.

이어서, 필요에 따라서 반도체 기판 (1)을 가열 처리 (예를 들어, 60 내지 130℃, 믹싱 베이킹)하고, 제1 레지스트 패턴 (1a)으로부터 산의 확산을 촉진시키며, 제2의 레지스트 (2) 중으로 공급하여 제2 레지스트 (2)와 제1 레지스트 패턴 (1a)과의 계면에서 가교 반응을 촉진시킨다. 이 경우의 MB 온도/시간은 예를 들어 60 내지 130℃/60 내지 120초이고, 사용하는 레지스트 재료의 종류, 필요로 하는 가교층 (4)의 두께에 의해 최적의 조건을 설정하면 된다.

이 믹싱 베이킹에 의해 가교 반응을 일으킨 가교층 (4)이 제1 레지스트 패턴 (1a)을 피복하도록 제2 레지스트 (2) 중에 형성된다.

이어서, 도 3 (f)의 공정은 도 2 (e)와 마찬가지이다. 이상의 처리에 의해 홀 내경, 또는 라인 패턴의 분리폭을 축소하고, 혹은 고립된 나머지 패턴의 면적을 확대한 레지스트 패턴을 얻는 것이 가능해진다.

또한, 도 3을 참조하여 설명한 방법과 같이, 노광에 의해 제1 레지스트 패턴 (1a) 중에 산 성분을 발생시키는 공정은, 적용하는 제1 레지스트 (1)와 제2 레지스트 (2) 모두 반응성이 낮은 경우, 혹은 필요로 하는 가교층의 두께가 비교적 두꺼운 경우, 또는 가교 반응을 균일화하는 경우에 특히 적합하다.

여기에서, 제2 레지스트 (2)에 사용되는 재료에 대해서 설명하겠다.

제2 레지스트 (2)로서는, 가교성의 수용성 수지 단독 혹은 2종 이상의 혼합물, 또는 수용성 가교제 단독 혹은 2종류 이상의 혼합물, 또는 수용성 수지 조성물과 가교제의 혼합물이 사용된다.

제2 레지스트 (2)로서 혼합물을 사용하는 경우, 그들의 재료 조성은 적용하는 제1 레지스트 (1)의 종류, 혹은 설정한 반응 조건 등에 의해 최적의 조성을 설정하면 좋으며 특히 한정되지 않는다.

제2 레지스트 (2)에 사용되는 수용성 수지 조성물의 구체예로서는 도 4에 나타낸 폴리비닐아세탈 수지, 폴리비닐알코올 수지, 폴리아크릴산 수지, 옥사폴린 함유 수용성 수지, 수성 우레탄 수지, 폴리알릴아민 수지, 폴리에틸렌이민 수지, 폴리비닐아민 수지, 수용성 페놀 수지, 수용성 에폭시 수지, 스티렌-말레인 산 공중합체 등이 특히 유효하고, 또는 산성 성분 존재하에서 가교 반응이 일어나던가 혹은 가교 반응이 일어나지 않던가, 산성 성분이 적은 경우에는 수용성 가교제와의 혼합이 가능하면 특히 한정되지 않는다. 또한, 이들을 단독으로 사용해도 혼합물로서 사용해도 유효하다.

이들의 수용성 수지는 1종 또는 2종 이상의 혼합물로서 사용해도 좋고, 기재 레지스트와의 반응량, 반응 조건 등에 의해 적절히 조정하는 것이 가능하다. 또한, 이들의 수용성 수지는 물에서의 용해성을 향상시킬 목적으로 염산염 등의 염으로서 사용해도 좋다.

이어서, 제2 레지스트 (2)에 사용할 수 있는 수용성 가교제로서는 구체적으로는 도 5에 나타낸 엘라민 유도체, 메틸올엘라민 유도체 등의 엘라민계 가교제, 우레아 유도체, 메틸올우레아 유도체, 에틸렌우레아, 에틸렌우레아카르복실산, 메틸올에틸렌우레아 유도체 등의 우레아계 가교제, 이소시아네이트, 벤조 구아나민, 글리콜우릴 등의 아미노계 가교제 등이 유효하지만, 산에 의해 가교를 발생시키는 수용성 가교제라면 특히 한정되지 않는다.

또한, 제2 레지스트 (2)에 사용되는 구체적인 수용성 레지스트 재료로서는 상술한 수용성 수지 단독 혹은 혼합물에, 마찬가지로 상술한 수용성 가교제 단독 혹은 혼합물을 상호 혼합하여 사용하는 것도 유효하다.

예를 들어, 구체적으로 수용성 수지 조성물로서는 폴리비닐아세탈 수지를 사용하고, 수용성 가교제로서는 메톡시메틸올엘라민, 혹은 에틸렌우레아 등을 혼합하여 사용할 수 있다. 이 경우, 상호 용해성이 높기 때문에 혼합 용액의 보존 안정성이 우수하다.

또한, 제2 레지스트에 적용되는 재료는 수용성 혹은 제1 레지스트 패턴을 용해하지 않은 수용성 용매에 가용성이고, 또한 산 성분의 존재하에서 가교 반응을 일으키는 재료라면 특히 한정되지 않는다.

또한, 제1 레지스트 패턴 (1a)로의 재노광에 의한 산 발생을 행하지 않고, 가열 처리만으로 가교 반응을 실현할 수 있는 것은 앞서 설명한 바와 같지만, 이 경우에는 제2 레지스트 (2)로서 반응성이 높은 적당한 재료를 선택하고 적당한 가열 처리 (예를 들어 85 내지 150℃)를 행하는 것이 바람직하다.

이 경우의 구체예로서 폴리비닐아세탈 수지에 에틸렌우레아, 폴리비닐알코올과 에틸렌우레아, 혹은 이들을 적당한 비율로 혼합한 수용성 재료 조성물을 들 수 있다.

제1 레지스트 패턴 (1a)과 제2 레지스트 (2)와의 가교 반응의 제어는 제1 레지스트 패턴 (1a)상에 형성되는 가교층 (4)의 두께를 제어하는 것이 중요하다. 가교 반응의 제어는 적용하는 제1 레지스트와 제2 레지스트와의 반응성, 제1 레지스트 패턴 (1a)의 형상, 필요로 하는 가교 반응층 (4)의 두께 등에 따라서 최적화하는 것이 바람직하다.

제1 레지스트와 제2 레지스트와의 가교 반응의 제어는 공정 조건의 조정에 의한 방법과 제2 레지스트 재료의 조성을 조정하는 방법이 있다.

가교 반응의 공정 제어 수단으로서

- (1) 제1 레지스트 패턴으로의 노광량을 조정한다
- (2) MB (믹싱 베이킹) 온도, 처리 시간을 조정한다

등의 방법이 유효하다.

특히, 가열하여 가교하는 시간을 조정함으로써 가교층의 두께를 제어하는 것이 가능하며, 매우 반응 제어성이 높은 방법이다.

또한, 제2 레지스트에 사용하는 재료 조성을 조정하는 방법으로서,

- (3) 적당한 2종 이상의 수용성 수지를 혼합하고, 그 혼합비를 조절함으로써 제1 레지스트와의 반응량을 조정한다.
- (4) 수용성 수지에 적당한 수용성 가교제를 혼합하고, 그 혼합비를 조절함으로써 제1 레지스트와의 반응량을 조정한다

등의 방법이 유효하다.

그러나, 이들 가교 반응의 제어는 일원적으로 결정되는 것은 아니며,

- (1) 제2 레지스트 재료와 적용하는 제1 레지스트 재료와의 반응성,
- (2) 제1 레지스트 패턴의 형상, 막 두께,
- (3) 필요로 하는 가교제 층의 막 두께,
- (4) 사용 가능한 노광 조건, 혹은 가열 처리 (MB) 조건,
- (5) 도포 조건 등의 다양한 조건

를 감안하여 결정할 필요가 있다.

특히, 제1 레지스트와 제2 레지스트와의 반응성은 제1 레지스트 재료의 조성에 의해 영향을 받는 것을 알았고, 그 때문에 실제로 본 발명을 적용하는 경우에는 상술한 요인을 감안하여 제2 레지스트 재료 조성을 최적화하는 것이 바람직하다. 따라서, 제2 레지스트에 사용되는 수용성 재료의 종류와 그 조성비는 특히 한정되지 않으며 사용하는 재료의 종류, 열 처리 조건 등에 따라서 최적화하여 사용한다.

또한, 제2 레지스트 재료에 에틸렌글리콜, 글리세린, 트리에틸렌글리콜 등의 가소제를 첨가제로서 첨가해도 좋다. 또한, 제2 레지스트 재료에 관해서 막형성성 향상을 목적으로 하여 계면 활성제, 예를 들어 3M사 제품인 클로루아드, 산요 가세이샤 제품인 노니볼 등의 수용성 계면 활성제를 첨가제로서 첨가해도 좋다.

이어서, 제2 레지스트에 사용되는 용매에 대해서 설명하겠다. 제2 레지스트의 용매에는 물 또는 수용성

의 유기 용매를 포함하는 수용액을 사용한다. 제1 레지스트 패턴을 용해시키지 않는 것, 또한 수용성 재료를 충분히 용해시키는 것이 필요하고, 이것을 만족하는 용매라면 특히 한정되지 않는다.

예를 들어, 제2 레지스트의 용매로서는 물 (순수), 또는 물과 IPA 등의 알코올계 용매, 혹은 N-메틸피롤리돈 등의 수용성 유기 용매 단독, 혹은 물과의 혼합 용액을 사용하면 된다. 물에 혼합하는 용매로서는 수용성이면 특히 한정되지 않으며, 예를 들면 에탄올, 메탄올, 이소프로필알코올 등의 알코올류, γ -부티로락톤, 아세톤 등을 사용하는 것이 가능하고, 제2 레지스트에 사용하는 재료의 용해성에 맞추어 제1 레지스트 패턴을 용해하지 않는 범위에서 혼합하면 된다.

이상의 예에서는 반도체 기판 (1)의 전면에서 미세 레지스트 패턴을 형성하는 방법에 대해서 설명하였지만, 다음에 반도체 기판 (1)의 소정의 영역에서만 선택적으로 미세 레지스트 패턴을 형성하는 방법에 대해서 설명하겠다. 도 6은 이 경우의 제조 방법의 공정 흐름도이다.

도 6 (a) 내지 (c)의 공정은 도 3 (a) 내지 (c)의 공정과 마찬가지로이다. 도 6 (c)에 나타난 바와 같이, 제2 레지스트 (2)의 층을 형성한 후, 도 6 (d)에 나타난 바와 같이 반도체 기판 (3)의 일부를 차광판 (5)로 차광하고, 선택된 영역에 대해서 다시 Hg 램프의 g선 또는 i선으로 노광하고 제1 레지스트 패턴 (1a) 중에 산을 발생시킨다. 이에 따라서 도 6 (e)에 나타난 바와 같이, 노광된 부분에서 제1 레지스트 패턴 (1a)에 접하는 제2 레지스트 (2)의 계면에 가교층 (4)을 형성한다.

그 후의 도 6 (f)의 공정은 도 3 (f)의 공정과 동일하기 때문에 설명은 생략한다.

이와 같이 해서 도 6 (f)에 나타난 바와 같이, 반도체 기판 (3)의 선택된 영역에서는 제1 레지스트 패턴 (1a)상에 가교층 (4)을 형성하고, 그 외의 영역에서는 제1 레지스트 패턴 (1a)상에 가교층을 형성하지 않도록 하는 것이 가능하다.

이러한 형성 방법에 의하면, 적당한 노광 마스크를 사용함으로써 반도체 기판 (3)상에서 선택적으로 노광하고, 노광 부분과 미노광 부분을 구별하여 제2 레지스트 패턴 (2a)은 제1 레지스트 패턴 (1a)과의 경계 부분에서 가교하는 영역과 가교하지 않은 영역을 형성할 수 있다.

이에 따라, 동일 반도체 기판상에서 다른 크기의 미세 홀, 또는 미세 스페이스를 형성할 수 있다.

도 7은 반도체 기판 (3)의 소정의 영역에서만 선택적으로 미세 레지스트 패턴을 형성하기 위한 다른 형성 방법의 공정 흐름도이다.

도 7 (a) 내지 (b)의 공정은 도 2 (a) 및 (b)의 공정과 마찬가지로이다. 도 7 (b)와 같이, 제1 레지스트 패턴 (1a)을 형성한 후, 도 7 (c)에 나타난 바와 같이 반도체 기판 (3)의 선택된 영역을 전자선 차폐판 (6)으로 차폐하고, 그 외의 영역에 대해서 전자선을 조사한다.

이어서, 도 7 (d)의 공정에서 제2 레지스트 (2)를 형성하고, 도 7 (e)의 공정에서 가열 처리를 행하면 전자선을 조사한 영역에서는 가교층이 형성되지 않고, 전자선 조사를 차폐한 영역에서만 가교층 (4)이 형성된다.

그 후의 도 7 (f)의 공정은 도 3 (f)의 공정과 마찬가지로이기 때문에 설명은 생략한다.

이렇게 해서 도 7 (f)에 나타난 바와 같이, 반도체 기판 (3)의 선택된 영역에서는 제1 레지스트 패턴 (1a)상에 가교층 (4)을 형성하고, 그 외의 영역에서는 제1 레지스트 패턴 (1a)상에 가교층을 형성하지 않도록 하는 것이 가능하다. 이에 따라, 동일 반도체 기판상에서 다른 크기의 미세 홀 또는 미세 스페이스를 형성할 수 있다.

이상, 반도체 기판 (3)상에 미세 분리 레지스트 패턴을 형성하는 형성 방법에 대해서 상세히 설명하였지만, 본 발명의 미세 분리 레지스트 패턴은 반도체 기판 (3)상에 한정되지 않고, 반도체 장치의 제조 프로세스에 따라서 실리콘 산화막 등의 절연층상에 형성하는 경우도 있으며, 또 폴리실리콘막 등의 도전층상에 형성하는 경우도 있다.

이와 같이 본 발명의 미세 분리 레지스트 패턴의 형성은 특히 기재 막으로 제약되는 것은 아니며, 레지스트 패턴을 형성할 수 있는 기재상이라면 어떠한 경우에도 적용 가능하고, 필요에 따른 기재상에 형성되는 것이다. 이들을 총칭하여 반도체 기재라 칭하기로 한다.

또한, 본 발명에서는 상술한 바와 같이 형성한 미세 분리 레지스트 패턴을 마스크로 하고, 기재의 각종 박막을 에칭하여 기재 박막에 미세 스페이스 혹은 미세 홀을 형성하고 반도체 장치를 제조하는 것이다.

또한, 본 발명은 제2 레지스트 재료 및 재료 조성, 혹은 가열하여 가교하는 시간 (MB 시간)을 적절히 설정하고, 제1 레지스트 패턴 (1a)상에 가교층 (4)을 형성하여 얻어진 미세 분리 레지스트 패턴 (제2 레지스트 패턴 2a)을 마스크로 하고, 반도체 기재를 에칭함으로써 에칭 후의 기재 패턴의 측벽 표면이 조면화되는 효과가 있다.

<실시 형태 2>

도 8은 본 발명의 실시 형태 2의 미세 분리 레지스트 패턴의 형성 방법을 설명하기 위한 공정 흐름도이다. 도 1 및 도 8을 참조하여 이 실시 형태 2의 미세 분리 패턴의 형성 방법 및 이것을 이용한 반도체 장치의 제조 방법을 설명하겠다.

도 8 (a)에 나타난 바와 같이, 반도체 기판 (3)의 내부에 약간의 산성 물질을 함유하는 제1 레지스트 (11)를 도포한다. 제1 레지스트 (11)은 프리 베이킹 (70 내지 100°C에서 1분 정도의 열 처리)을 행한 후, Hg 램프의 g선 또는 i선을 사용하고, 도 1과 같은 패턴을 포함한 마스크를 사용하여 투영 노광한다 (도 8에서는 생략하였다).

여기에서 사용하는 제1 레지스트 (11)의 재료로서는 실시 형태 1에서 설명한 것이 유효하게 사용된다. 그의 상세한 설명은 중복을 피하기 위해서 생략한다. 또한, 제1 레지스트 (11)에 포함시키는 산으로서

는 구체적으로 카르복실산계의 저분자산 등이 바람직하다.

그 후, 필요에 따라서 PEB (10 내지 130°C)로 열 처리하고, 포토레지스트의 해상도를 향상시킨 후, TMAH (테트라메틸암모늄하이드록사이드)의 약 2.0 중량% 희석 수용액을 사용하여 현상한다. 도 8 (b)는 이렇게 해서 형성된 제1 레지스트 패턴 (11a)을 나타내는 것이다.

그 후, 필요에 따라서 포스트 디벨롭핑 베이킹을 행하는 경우도 있다. 이 열처리는 후의 혼합 반응에 영향을 주기 때문에 적절한 온도로 설정할 필요가 있다. 이상은 산을 포함하는 제1 레지스트 (11)를 사용한다는 점을 별도로 하면 공정으로서의 종래의 레지스트 공정에 의한 레지스트 패턴의 형성과 동일하다.

다음에, 도 8 (b)의 패턴 형성 후, 도 8 (c)에 나타난 바와 같이 반도체 기판 (웨이퍼) (3)상에 산의 존재에 의해 가교하는 가교성 화합물을 포함하고, 제1 레지스트 (11)를 용해하지 않은 용제에 녹여진 제2 레지스트 (12)를 도포한다.

여기에서 사용하는 제2 레지스트 (12)의 재료 및 그의 용매는 실시 형태 1에서 설명한 것과 동일한 것을 적용할 수 있고, 또한 유효하다. 상세한 설명은 중복을 피하기 위해서 생략한다.

제2 레지스트 (12)를 도포한 후, 필요에 따라서 이것을 베이킹한다. 이 열 처리는 후의 혼합 반응에 영향을 주기 때문에 적절한 온도로 설정하는 것이 바람직하다.

이어서, 도 8 (d)에 나타난 바와 같이 반도체 기판 (3)을 열 처리 (60 내지 130°C)하고, 제1 레지스트 (11a)에 포함되는 약간의 산성 물질로부터의 산의 공급에 의해, 제2 레지스트 (12)의 제1 레지스트 패턴 (11a)과의 계면에서 가교 반응을 일으키게 한다. 이에 따라, 제1 레지스트 패턴 (11a)을 피복하도록 가교 반응을 일으킨 가교층 (14)이 제2 레지스트 (12) 중에 형성된다.

이어서, 도 8 (f)에 나타난 바와 같이, 우선 제1 레지스트 패턴 (11a)을 용해하지 않은 물과 수용성의 유기 용매 (예를 들어 프로판올)와의 혼합 용액으로 세정하고, 다음에 물로 세정함으로써 가교하지 않은 제2 레지스트 (12)를 박리한다. 이상의 처리에 의해 홀 내경, 또는 분리폭을 축소하고, 또한 고립된 나머지 패턴의 면적을 확대한 레지스트 패턴을 얻는 것이 가능해진다.

이상과 같이, 본 실시 형태 2에서의 제1 레지스트 (11)는, 이 제1 레지스트 (11) 자체에 산을 포함하도록 조정되어 있고, 열 처리에 의해 그 산을 확산시켜 가교시키도록 하고 있기 때문에 노광에 의해 산을 발생시킬 필요가 없다. 제1 레지스트 (11)에 포함시키는 산으로서 카르복실산계의 저분자산 등이 적합하지만, 제1 레지스트 (11)에 혼합시키는 것이 가능하면 특히 한정되지 않는다.

또한, 이와 같이 해서 제2 레지스트 패턴 (12a)을 각종 반도체 기재상에 형성하고, 이것을 마스크로 하여 반도체 기재에 미세한 분리 스페이스 혹은 미세 홀 등을 형성할 수 있는 것은 앞서 설명한 실시 형태 1과 동일하다.

<실시 형태 3>

도 9는 본 발명 실시 형태 3의 미세 분리 레지스트 패턴의 형성 방법을 설명하기 위한 공정 흐름도이다. 도 1 및 도 9를 참조하여 본 실시 형태 3의 미세 분리 레지스트 패턴의 형성 방법 및 이것을 사용한 반도체 장치의 제조 방법을 설명하겠다.

우선, 도 9 (a)에 나타난 바와 같이, 반도체 기판 (3)에 제1 레지스트 (21)를 도포한다. 제1 레지스트 (21)에 프리베이킹 (70 내지 100°C에서 1분 정도의 열 처리)을 행한 후, 제1 레지스트 (21)의 감광 파장에 따라서 예를 들어, Hg 램프의 g선 또는 i선을 사용하고 도 1과 동일한 패턴을 포함하는 마스크를 사용하여 투영 노광한다 (도 9 중에서는 도시를 생략한다). 필요에 따라서 PEB (10 내지 130°C)로 열 처리하여 포토레지스트의 해상도를 향상시킨 후, TMAH (테트라메틸암모늄하이드록사이드)의 약 2.0 중량% 희석 수용액을 사용하여 현상한다. 도 9 (b)는 이렇게 형성된 제1 레지스트 패턴 (21a)을 나타낸다.

그 후, 필요에 따라서 포스트 디벨롭핑 베이킹을 행하는 경우도 있다. 이 열처리는 후의 혼합 반응에 영향을 주기 때문에 적절한 온도로 설정할 필요가 있다. 이상은, 공정으로서 종래의 레지스트 공정에 의한 레지스트 패턴의 형성 방법과 동일하다.

도 9 (b)의 패턴 형성 후, 도 9 (c)에 나타난 바와 같이 반도체 기판 (웨이퍼) (3)을 산성 용액으로 침지 처리한다. 그 처리 방법은 통상의 패를 현상의 방식으로 좋다. 또한, 산성 용액을 증발 (또는 분무)시켜도 좋다. 또한, 이 경우의 산성 용액은 유기산, 무기산 어느 것이어도 좋다. 구체적으로는, 예를 들어 저농도의 아세트산을 바람직한 예로서 들 수 있다. 이 공정에서 산이 제1 레지스트 패턴 (21a)의 계면 근방에 스며들고 산을 포함하는 얇은 층이 형성된다. 그 후, 필요에 따라서 순수를 사용하여 린스한다.

그 후, 도 9 (e)에 나타난 바와 같이, 제1 레지스트 패턴 (21a) 위에 산의 존재에 의해 가교하는 가교성 화합물을 포함하고, 제1 레지스트 패턴 (21a)을 용해하지 않은 용제에 녹여진 제2 레지스트 (22)를 도포한다.

여기에서 사용하는 제2 레지스트 (22)의 구성, 및 그의 용매는 실시 형태 1에서 서술한 것과 동일한 것을 유효하게 사용할 수 있다. 중복을 피하기 위해서 그 상세한 설명은 생략한다. 이어서, 제2 레지스트 (22)의 도포 후, 필요에 따라서 제2 레지스트 (22)를 프리 베이킹한다. 이 열 처리는 후의 혼합 반응에 영향을 주기 때문에 적절한 온도로 설정한다.

이어서, 도 9 (f)에 나타난 바와 같이, 반도체 기판 (3)을 열 처리 (60 내지 130°C)하여 가교 반응을 행하고, 제1 레지스트 패턴 (21a)으로부터의 산의 확산으로 제2 레지스트 (22)의 제1 레지스트 패턴 (21a)과의 계면에서 가교 반응을 일으키게 한다. 이에 따라, 제1 레지스트 패턴 (21a)을 피복하도록 가교 반응을 일으킨 가교층 (24)이 제2 레지스트 (22) 중에 형성된다.

이어서, 도 9 (g)에 나타난 바와 같이, 우선 제1 레지스트를 용해하지 않은 물과 수용성의 유기 용매 (

예를 들어, 프로판올)의 혼합 용액으로 세정하고, 이어서 물로 세정, 건조함으로써 가교하지 않은 제2 레지스트 (22)를 박리한다. 이상의 처리에 의해 홀 내경, 또는 분리 폭을 축소 혹은 고립된 나머지 패턴의 면적을 확대한 레지스트 패턴을 얻는 것이 가능해진다.

이상과 같이 이 실시 형태 3에 따르면 제1 레지스트 패턴 (21a)상에 제2 레지스트 (22)의 막을 형성하기 전, 산성 액체에 의한 표면 처리를 행하고 열 처리에 의해 산을 확산시켜 가교하도록 하기 때문에 노광 처리에 의해 제1 레지스트에 산을 발생시키는 공정을 필요로 하지 않는다.

또한, 이와 같이 하여 제2 레지스트 패턴 (22a)을 각종 반도체 기판상에 형성하고, 이것을 마스크로 하여 반도체 기판상에 미세한 분리 스페이스 혹은 미세 홈 등을 형성하고, 반도체 장치를 제조하는 것은 앞서 서술한 실시 형태 1 및 2와 동일하다.

<실시예>

이어서, 상기 각 실시 형태에 관련된 실시예에 대해서 설명하겠다. 하나의 실시예가 하나 이상의 실시 형태와 관련되는 경우가 있기 때문에 제1 레지스트 재료, 제2 레지스트 재료 및 미세 레지스트 패턴 형성의 각 실시예로 정리해서 설명하기로 한다.

우선, 제1 레지스트 재료에 관한 실시예 1 내지 4를 설명하겠다.

<실시예 1>

제1 레지스트로서 노볼락 수지와 나프토퀴논디아지드로 구성되고, 용매로서 젯산 에틸과 프로필렌글리콜 모노에틸아세테이트를 사용한 미쯔비시 가가꾸사 제품인 i선 레지스트를 사용하여 레지스트 패턴을 형성하였다.

우선, 상기 레지스트를 Si 웨이퍼상에 적가하고, 회전 도포한 후, 85 °C/70초로 프리 베이킹을 행하고 레지스트 중의 용매를 증발시켜 제1 레지스트를 막 두께 약 1.0 μm 로 형성하였다.

다음에 노광 장치로서 i선 축소 투영 노광 장치를 사용하고 노광 마스크로서 도 1에 나타난 마스크를 사용하여 제1 레지스트를 노광하였다. 다음에, 120 °C/70초로 PEB 처리를 행하고 이어서, 알칼리 현상액 (도쿄 오가 고교사 제품, NMD3)을 사용하여 현상을 행하여 도 10에 나타난 분리 크기를 갖는 레지스트 패턴을 얻었다.

<실시예 2>

제1 레지스트로서 노볼락 수지와 나프토퀴논디아지드로 구성되고, 용매로서 2-헵타논을 사용한 스미토모 가가꾸 고교사 제품인 i선 레지스트를 사용하여 레지스트 패턴을 형성하였다.

우선, 상기 레지스트를 Si 웨이퍼상에 적가하고, 회전 도포함으로써 막 두께 약 0.8 μm 가 되도록 막형성 하였다. 이어서, 85 °C/70초로 프리 베이킹을 행하고, 레지스트 중의 용매를 건조시켰다. 이어서, i선 축소 투영 노광 장치를 사용하고 도 1에 나타난 마스크를 사용하여 노광을 행하였다.

다음에, 120 °C/70초로 PEB 처리를 행하고, 이어서 알칼리 현상액 (도쿄 오가사 제품, NMD3)을 사용하여 현상하고 도 11에 나타난 분리 크기를 갖는 레지스트 패턴을 얻었다.

<실시예 3>

제1 레지스트로서 도쿄 오가사 제품인 화학 증폭형 액시머 레지스트를 사용하여 레지스트 패턴을 형성하였다.

우선, 상기 레지스트를 Si 웨이퍼상에 적가하고, 회전 도포함으로써 막 두께 약 0.8 μm 가 되도록 막형성 하였다. 이어서, 90 °C/90초로 프리 베이킹을 행하고 레지스트 중의 용매를 건조시켰다. 이어서, KrF 액시머 축소 투영 노광 장치를 사용하고 도 1에 나타난 마스크를 사용하여 노광을 행하였다.

다음에, 100 °C/90초로 PEB 처리를 행하고, 이어서 알칼리 현상액 (도쿄 오가사 제품, NMD-W)를 사용하여 현상하고, 도 12에 나타난 레지스트 패턴을 얻었다.

<실시예 4>

제1 레지스트로서 t-Boc화 폴리히드록시스티렌과 산 발생제로 구성되는 미쯔덴 가세이사 제품인 화학 증폭형 레지스트 (MELKER, 문헌 [J. Vac. Sci. Technol., B11(6)2773, 1993] 참조)를 사용하여 레지스트 패턴을 형성하였다.

우선, 상기 레지스트를 Si 웨이퍼상에 적가하고, 회전 도포함으로써 막 두께 약 0.52 μm 가 되도록 막형성 하였다. 이어서, 120 °C/180초로 베이킹을 행하고 레지스트 중의 용매를 증발시켰다. 이어서, 이 레지스트상에 대전 방지막으로서 쇼와덴코사 제품인 에스페이서 ESP-100을 동일하게 회전 도포한 후, 80 °C/120초로 베이킹을 행하였다.

다음에, EB 묘화 장치를 사용하여 17.4 $\mu\text{C}/\text{cm}^2$ 로 묘화하였다. 다음에, 80 °C/120초로 PEB를 행한 후, 순수를 사용하여 대전 방지막을 박리하고, 이어서 TAMH 알칼리 현상액 (도쿄 오가사제, NMD-W)을 사용하여 레지스트 패턴을 현상하였다. 그 결과, 도 13에 나타난 약 0.2 μm 의 EB 레지스트 패턴을 얻었다.

이어서, 제2 레지스트 재료에 관한 실시예 5 내지 12를 설명하겠다.

<실시예 5>

제2 레지스트 재료로서 1 L의 메스플라스크를 사용하여 세끼스미 가가꾸사 제품인 폴리비닐아세탈 수지, 에스렉 KW3, 및 KW1의 20 중량% 수용액 각각 100 g에 순수 400 g를 첨가하고, 실온에서 6시간 교반 혼합하여 폴리비닐아세탈 수지 KW3 및 KW1의 5 중량% 수용액을 각각 얻었다.

<실시예 6>

제2 레지스트 재료로서 실시예 5의 폴리비닐아세탈 수지를 폴리비닐알코올, 옥사졸린 함유 수용성 수지 (닛본 쇼꾸바이사 제품, 에포크로스 WS500), 스티렌-무수 말레인산 공중합체 (ARCO 케미칼사 제품, SMA1000, 1440H)로 변경한 것 이외는, 실시예 5와 마찬가지로 하여 각각의 5 중량% 수용액을 얻었다.

<실시예 7>

제2 레지스트 재료로서 1 L의 메스플라스크를 사용하여 메톡시메틸올멜라민 (미쯔비 사이나미드사 제품, 자이델370) 100 g과 순수 780 g, IPA 40 g을 실온에서 6시간 교반 혼합하고, 약 10 중량%의 메틸올 멜라민 수용액을 얻었다.

<실시예 8>

제2 레지스트 재료로서 1 L의 메스플라스크를 사용하여 (N-메톡시메틸)메톡시메틸우레아 100 g, (N-메톡시메틸)히드록시메틸렌우레아 100 g, N-메톡시메틸우레아 100 g 중에 각각 순수 860 g, IPA 40 g을 실온에서 6시간 교반 혼합하고, 각각 약 10 중량%의 메틸렌우레아 수용액을 얻었다.

<실시예 9>

제2 레지스트 재료로서 실시예 5에서 얻은 폴리비닐아세탈 KW3 수용액 160 g과 실시예 7에서 얻은 메톡시메틸올멜라민 수용액 20 g, 순수 20 g을 실온에서 6시간 교반 혼합하여 수용성 수지와 수용성 가교제의 혼합 용액을 얻었다.

<실시예 10>

제2 레지스트 재료로서 실시예 5에서 얻은 폴리비닐아세탈 KW3 수용액 160 g과 실시예 8에서 얻은 (N-메톡시메틸)메톡시메틸렌우레아 수용액 20 g, (N-메톡시메틸)히드록시메틸렌우레아 20 g, N-메톡시메틸우레아 20 g 중에 각각 순수 20 g을 실온에서 6시간 교반 혼합하여 3종의 수용성 수지와 수용성 가교제의 혼합 용액을 얻었다.

<실시예 11>

제2 레지스트 재료로서 실시예 5에서 얻은 폴리비닐아세탈 KW3 수용액 160 g과 실시예 8에서 얻은 메톡시메틸렌우레아 수용액 10 g, 20 g 및 30 g과 순수 20 g을 각각 실온하에서 6시간 혼합하였다. 그 결과, 폴리비닐아세탈 수지에 대한 수용성 가교제인 메톡시메틸렌우레아의 농도가 약 11 중량%, 20 중량% 및 27 중량%인 3종의 제2 레지스트 수용액을 얻었다.

<실시예 12>

제2 레지스트로서 실시예 5에서 얻은 5 중량%의 폴리비닐아세탈 수지 수용액 100 g에 실시예 6에서 얻은 수용성 수지 용액 중, 폴리비닐알코올 수지의 5 중량% 수용액을 35.3 g 및 72.2 g 혼합하고, 실온하에서 6시간 교반 혼합하여 폴리비닐아세탈 수지와 폴리비닐알코올 수지의 혼합비가 다른 혼합 용액을 얻었다.

이어서, 미세 레지스트 패턴 형성에 관한 실시예 13 내지 22에 대해서 설명하겠다.

<실시예 13>

실시예 1에서 얻은 제1 레지스트 패턴이 형성된 Si 웨이퍼상에 실시예 12에서 얻은 제2 레지스트 재료를 적가하고, 회전 도포한 후, 85 °C/70초로 프리베이킹을 행하여 제2 레지스트막을 형성하였다.

다음에 120 °C/90초로 믹싱 베이킹 (MB)을 행하고 가교 반응을 진행시켰다. 이어서, 비가교층을 미소프로필알코올 수용액으로 10초간 정지 세정하고, 다시 물로 60초간 세정함으로써 용해 제거하고 다시 회전 건조하였다.

이어서, 110°C로 포스트 베이킹을 행함으로써 제1 레지스트 패턴상에 제2 레지스트 가교층을 형성하고 도 14에 나타난 바와 같이 제2 레지스트 패턴을 형성하였다.

도 14에서, 폴리비닐아세탈 수지와 폴리비닐알코올 수지의 혼합비를 바꾸어 가교층을 형성하고, 그 후의 홀의 직경을 측정 부분으로 하여 수용성 수지의 혼합비를 바꾸어 가교층 형성 후의 레지스트 패턴 크기 (홀 크기)를 측정하였다.

이 경우, 도 15의 표에 나타난 바와 같이, 폴리비닐아세탈 수지와 폴리비닐알코올 수지의 혼합비를 바꿈으로써 제1 레지스트상에 형성되는 가교층의 두께를 제어하는 것이 가능하다는 것을 알았다.

<실시예 14>

실시예 2에서 얻은 제1 레지스트 패턴이 형성된 Si 웨이퍼상에 실시예 5에서 얻은 KW3의 수지 수용액을 제2 레지스트 재료로서 적가하고, 회전 도포한 후, 85 °C/70초로 프리 베이킹을 행하고, 제2 레지스트막을 형성하였다.

이어서, i선 노광 장치를 사용하여 웨이퍼에 전면 노광을 행하였다. 또한, 150 °C/90초로 믹싱 베이킹 (MB)을 행하여 가교 반응을 진행시켰다.

이어서, 비가교층을 미소프로필알코올 수용액으로 10초간 정지 세정하고, 다시 물로 60초간 세정함으로써 용해 제거하고 다시 회전 건조하였다.

이어서, 110°C에서 포스트 베이킹을 행함으로써 제1 레지스트 패턴상에 제2 레지스트 가교층을 형성하고, 도 16에 나타난 바와 같이 제2 레지스트 패턴을 형성하였다. 또한, 도면 중 0.36 μm의 값은 가교층을 형성하기 전의 홀 크기를 나타내는 것이다.

도 16에서, 전면 노광을 행한 경우와 행하지 않은 경우에 대해서 가교층 형성 후의 레지스트 패턴 크기 (홀 크기)를 측정하였다.

도 17에 나타낸 바와 같이, 가교층을 형성하기 전의 제1 레지스트 홀 패턴 크기 $0.36\ \mu\text{m}$ 가 전면 노광을 행한 경우에는 약 $0.14\ \mu\text{m}$, 전면 노광을 행하지 않은 경우에는 약 $0.11\ \mu\text{m}$ 로 축소되었다.

이 경우, MB 전에 전면 노광을 행함으로써 행하지 않은 경우와 비교하여 가교 반응이 보다 진행되고, 제1 레지스트 표면에 가교층이 두껍게 형성되는 것을 알았다.

<실시예 15>

실시예 2에서 얻은 제1 레지스트 패턴이 형성된 Si 웨이퍼상에 실시예 11에서 얻은 폴리비닐아세탈 수지와 에틸렌우레아 (20 중량%)의 혼합 용액을 제2 레지스트로서 사용하였다.

제2 레지스트 재료를 적가하고, 회전 도포한 후 $105\ ^\circ\text{C}/60\text{초}$, $115\ ^\circ\text{C}/60\text{초}$ 및 $125\ ^\circ\text{C}/60\text{초}$ 의 3 종류의 조건으로 MB를 행하고 가교 반응을 행하였다.

다음에, 비가교층을 이소프로필알코올 수용액으로 10초간 정지 세정하고, 다시 물로 60초간 세정함으로써 용해 제거하고 다시 회전 건조하였다.

이어서, 110°C 에서 포스트 베이킹을 행함으로써 제1 레지스트 패턴상에 제2 레지스트 가교층을 형성하고, 도 18에 나타낸 바와 같이 제2 레지스트 패턴(홀 패턴, 라인 패턴 및 고립된 나머지 패턴)을 형성하였다.

도 18에서, MB 온도를 바꾸어 가교층 형성 후의 각 레지스트 패턴의 확장 부분의 크기를 측정하였다.

도 19의 표에 나타낸 바와 같이, 실시예 2에서 형성한 $0.36\ \mu\text{m}$ 크기의 홀 패턴의 내경, 및 라인 패턴과 고립된 나머지 패턴에서의 스페이스 크기 ($0.40\ \mu\text{m}$)가 가교층 형성 후의 레지스트 패턴에서는 축소되어 있고, 그 축소량은 MB 온도가 높아짐과 동시에 증대되었다.

이 점으로부터 MB의 온도 제어에 의해 정밀하게 가교 반응의 제어가 가능한 것을 알았다.

<실시예 16>

실시예 2에서 얻은 제1 레지스트 패턴이 형성된 Si 웨이퍼상에 실시예 5에서 얻은 폴리비닐아세탈 수용액, 실시예 10에서 얻은 폴리비닐아세탈 수지 수용액과 수용성 가교제인 메톡시에틸렌우레아의 농도가 다른 3 종류의 혼합 용액을 제2 레지스트로서 사용하였다.

제2 레지스트 재료를 적가하고, 회전 도포한 후, $115\ ^\circ\text{C}/60\text{초}$ 로 익성 베이킹 (MB)을 행하고 가교 반응을 행하였다.

이어서, 비가교층을 이소프로필알코올 수용액으로 10초간 정지 세정하고, 다시 물로 60초간 세정함으로써 용해 제거하고 다시 회전 건조하였다.

이어서, 110°C 로 포스트 베이킹을 행함으로써 제1 레지스트 패턴상에 제2 레지스트 가교층을 형성하고 도 20에 나타낸 바와 같이 제2 레지스트 패턴을 형성하였다.

도 20에서, 수용성 가교제의 농도를 바꾼 경우의 가교층 형성 후의 레지스트 패턴 크기 (홀 크기)를 측정하였다.

그 결과, 도 21의 표에 나타낸 바와 같이 실시예 2에서 형성한 약 $0.36\ \mu\text{m}$ 크기의 홀 패턴의 내경은 축소되어 있고, 그 축소량은 수용성 가교제의 혼합량이 증가할수록 커졌다.

이 점으로부터 수용성 재료의 혼합비를 조정함으로써 정밀하게 가교 반응을 제어할 수 있음을 알았다.

<실시예 17>

실시예 3에서 얻은 제1 레지스트 패턴이 형성된 Si 웨이퍼상에 실시예 5에서 얻은 폴리비닐아세탈 수용액, 실시예 10에서 얻은 폴리비닐아세탈 수지 수용액과 수용성 가교제인 (N-메톡시메틸)-디메톡시에틸렌우레아 혼합 수용액, (N-메톡시메틸)메톡시히드록시에틸렌우레아, N-메톡시메틸우레아의 혼합 용액을 제2 레지스트로서 사용하였다. 제2 레지스트 재료를 적가하고, 회전 도포한 후 $105\ ^\circ\text{C}/60\text{초}$ 로 익성 베이킹 (MB)하여 가교 반응을 행하였다.

이어서, 비가교층을 이소프로필알코올 수용액으로 10초간 정지 세정하고 다시 물로 60초간 세정함으로써 용해 제거하고 다시 회전 건조하였다.

이어서, $110\ ^\circ\text{C}$ 로 포스트 베이킹을 행함으로써 제1 레지스트 패턴상에 제2 레지스트 가교층을 형성하고 도 20에 나타낸 것과 마찬가지로 제2 레지스트 패턴을 형성하였다.

도 20에서, 수용성 가교제의 종류를 바꾸어 가교층 형성 후의 레지스트 패턴 크기 (홀 크기)를 측정하였다.

그 결과, 도 22 표에 나타낸 바와 같이, 실시예 3에서 형성한 약 $0.24\ \mu\text{m}$ 크기의 홀 패턴의 내경은 축소되어 있고, 그 축소량은 수용성 가교제의 차이에 의해 차가 확인되었다.

이 점으로부터 혼합하는 수용성 재료의 종류 차이에 의해 가교 반응의 제어가 가능한 것을 알았다.

<실시예 18>

실시예 3에서 얻은 제1 레지스트 패턴이 형성된 Si 웨이퍼상에 폴리비닐아세탈 수지 수용액과 수용성 가교제인 N-메톡시메틸-히드록시메톡시에틸렌우레아 혼합 수용액을 제2 레지스트로서 사용하였다.

제2 레지스트 재료를 적가하고, 회전 도포한 후, 소정의 온도로 60초의 익성 베이킹 (MB)을 행하고 가교

반응을 행하였다.

이어서, 비가교층을 이소프로필알코올 수용액으로 10초간 정지 세정하고, 다시 물로 60초간 세정함으로써 용해 제거하고, 다시 회전 건조하였다.

이어서, 110℃에서 포스트 베이킹을 행함으로써 제1 레지스트 패턴상에 제2레지스트 가교층을 형성하고, 도 20에 나타낸 것과 마찬가지로 제2 레지스트 패턴을 형성하였다.

도 20에서, 수용성 가교제량과 믹싱 베이킹 온도 (MB 온도)를 바꾸어 가교층 형성 후의 레지스트 패턴 크기 (홀 크기)를 측정하였다.

그 결과, 도 23 표에 나타낸 바와 같이, 실시예 3에서 형성한 약 0.24 μm 의 레지스트 패턴 크기는 축소되어 있고, 수용성 가교제량, MB 온도에 의해 차이가 확인되었다.

이 점으로부터 본 발명은 광 조사에 의해 산을 발생하는 화학 증폭형 레지스트를 사용한 경우에도 가교 반응에 의한 레지스트 패턴 크기의 제어가 가능한 것을 알았다.

<실시예 19>

실시예 3에서 얻은 제1 레지스트 패턴이 형성된 Si 웨이퍼상에 실시예 6에서 얻은 폴리비닐알코올 수용액, 및 실시예 8에서 얻은 (N-메톡시메틸)디메톡시에틸렌우레아와 폴리비닐알코올을 우레아의 혼합량이 10 중량%가 되도록 조정된 용액을 제2 레지스트 재료로서 사용하였다.

제2 레지스트 재료를 적가하고, 회전 도포한 후, 95, 105 및 115 °C/60초의 믹싱 베이킹 (MB)을 행하고 가교 반응을 행하였다.

이어서, 비가교층을 이소프로필알코올 수용액으로 1분간 정지 현상하고, 다시 물로 약 1분간 세정함으로써 용해 제거하고 다시 회전 건조하였다.

이어서, 110℃에서 포스트 베이킹을 행함으로써 제1 레지스트 패턴상에 제2레지스트 가교층을 형성하고, 도 20에 나타낸 것과 마찬가지로 제2 레지스트 패턴을 형성하였다.

도 20에서, 가교제를 혼합한 경우와 하지 않은 경우에 대해서, 믹싱 베이킹 온도 (MB 온도)를 바꾸어 가교층 형성 후의 레지스트 패턴 크기 (홀 크기)를 측정하였다.

그 결과, 도 24 표에 나타낸 바와 같이 실시예 3에서 형성한 약 0.24 μm 의 레지스트 홀 크기는 축소되어 있고, 가교제를 첨가함으로써 가교 반응이 보다 촉진되며 가열 처리 온도에 의해 축소량이 용이하게 제어 가능하고 제어 범위도 넓어지는 것을 알았다.

<실시예 20>

실시예 3에서 얻은 제1 레지스트 패턴이 형성된 8인치 Si 웨이퍼상에 실시예 6에서 얻은 폴리비닐알코올 수용액, 실시예 19에서 얻은 폴리비닐알코올과 에틸렌우레아 (10 중량%)의 혼합 용액을 제2 레지스트 재료로서 사용하였다.

제2 레지스트 재료를 적가하고, 회전 도포한 후, 115 °C/60초의 믹싱 베이킹 (MB)을 행하고, 가교 반응을 시켰다.

이어서, 비가교층의 용해 제거를 물만으로 60, 180 및 300초간 세정, 및 이소프로필알코올 수용액으로 10초간 정지 세정하고, 다시 물로 50초간 세정하여 실시하고, 이어서 실시예 3에서 포스트 베이킹을 행함으로써 축소 패턴을 얻었다.

이어서, 얻어진 패턴에 대해서 KLA 결함 장치를 사용하여 결함, 미물 검사를 행한 결과, 도 25의 표에 나타낸 바와 같이 물 만을 사용하여 세정한 경우에는 8 인치 웨이퍼면내에 얼룩 상의 결함, 및 용해 잔사가 다수 관찰되었지만, 이소프로필알코올 수용액으로 세정하고 다시 물로 세정한 경우에는 얼룩상의 결함, 잔사는 전혀 관찰되지 않았다. 또한, 수용성 가교제를 혼합한 경우에는 미가교 부분의 용해성도 향상되기 때문에 세정 후의 얼룩, 잔사도 감소하는 것을 알았다.

용해력이 높은 용액으로 세정하고, 이어서 물로 세정하는 2단계 세정 방법이 용해 잔사가 없는 유효한 방법인 것을 알았다.

<실시예 21>

실시예 4에서 얻은 제1 레지스트 패턴이 형성된 Si 웨이퍼상에 실시예 5에서 얻은 폴리비닐아세탈 K α 3 수용액, 실시예 10에서 얻은 폴리비닐아세탈 수지 K α 3 수용액과 수용성 가교제인 메톡시에틸렌우레아 혼합 수용액, 실시예 19에서 조정된 폴리비닐알코올과 메톡시에틸렌우레아 (10 중량%)의 혼합 용액을 제2 레지스트로서 사용하였다.

제2 레지스트 재료를 적가하고, 회전 도포한 후, 85 °C/70초로 프리 베이킹을 행하고, 제2 레지스트막을 형성하였다.

이어서, 105 및 115 °C/60초로 믹싱 베이킹 (MB)을 행하고, 가교 반응을 시켰다.

이어서, 비가교층을 이소프로필알코올 수용액으로 10초간 정지 세정하고, 다시 물로 60초간 세정함으로써 용해 제거하고 다시 회전 건조하였다.

이어서, 110℃에서 포스트 베이킹을 행함으로써 제1 레지스트 패턴상에 제2레지스트 가교층을 형성하고, 도 20에 나타낸 것과 마찬가지로 제2 레지스트 패턴을 형성하였다.

도 20에서, 가교제를 바꾸어 가교층 형성 후의 레지스트 패턴 크기 (홀 크기)를 측정하였다.

그 결과, 도 26 표에 나타낸 바와 같이, 실시예 4에서 형성한 약 0.2 μm 크기의 레지스트 패턴의 크기는

축소되어 있고, 그 축소량은 수용성 수지의 차이에 의해 차가 확인되었다.

이 점으로부터, 본 발명은 t-Boc화 폴리히드록시스티렌과 산 발생제로 구성되는 화학 증폭형 EB 레지스트를 사용한 경우에도 가교 반응에 의한 레지스트 패턴 크기의 제어가 가능한 것을 알았다.

<실시예 22>

실시예 2에서 얻은 제1 레지스트 패턴상에 선택적으로 전자선을 조사하였다. 전자선의 조사량은 $50 \mu C/cm^2$ 를 조사하였다.

다음에, 실시예 11에서 얻은 폴리비닐아세탈 수지 수용액과 수용성 가교제인 메톡시에틸렌우레아 (10 중량%) 혼합 수용액을 제2 레지스트로서 전자선을 조사한 레지스트 패턴상에 도포하였다. 도포는 제2 레지스트 재료를 적가하고, 회전 도포함으로써 행하고, 다시 $110^\circ C/60$ 초로 믹싱 베이킹 (MB)을 행하여 가교 반응시켰다.

이어서, 비가교층을 이소프로필알코올 수용액으로 10초간 정지 세정하고, 다시 물로 60초간 세정함으로써 용해 제거하고 다시 회전 건조하였다.

이어서, $110^\circ C$ 에서 포스트 베이킹을 행함으로써 제1 레지스트 패턴상에 선택적으로 제2 레지스트 가교층을 형성하고, 도 20에 나타낸 것과 마찬가지로 제2 레지스트 패턴을 형성하였다.

도 20에서, 전자선 조사 부분과 전자선 미조사 부분에 대해서 가교층 형성 후의 레지스트 패턴 크기 (홀 크기)를 측정하였다.

그 결과, 도 27의 표에 나타낸 바와 같이, 실시예 2에서 형성한 약 $0.36 \mu m$ 의 레지스트 패턴은 전자선을 조사하지 않은 부분에서는 축소되어 있고, 선택적으로 전자선을 조사한 부분에 대해서는 가교 반응이 발생하지 않으며 홀 크기의 축소가 확인되지 않았다.

이 점으로부터, 본 발명은 레지스트 패턴의 형성 후, 선택적으로 전자선을 조사함으로써 조사한 부분의 패턴에서는 반응이 생기지 않기 때문에 선택적인 레지스트 패턴의 크기 제어가 가능한 것을 알았다.

발명의 효과

이상, 설명한 바와 같이 본 발명에 따르면 레지스트의 분리 패턴, 홀 패턴의 미세화에 있어서, 파장 한계를 초월하는 패턴 형성을 가능하게 하는 미세 분리 레지스트 패턴 형성용 재료와 그것을 이용한 미세 패턴 형성 방법을 얻을 수 있음과 동시에 얼룩상의 결함 혹은 용해 잔사 등이 없는 매우 청정한 미세 패턴을 얻을 수 있다. 이에 따라 홀계 레지스트 패턴의 홀 직경을 종래보다 축소할 수 있고, 또한 스페이스계 레지스트 패턴의 분리 폭을 종래보다 축소할 수 있다.

또한, 이렇게 해서 형성한 미세 분리 레지스트 패턴을 마스크로서 사용하여 반도체 기재상에 미세 분리된 스페이스 또는 홀을 형성할 수 있다.

또한, 이러한 제조 방법에 의해 미세 분리된 스페이스 또는 홀을 갖는 반도체 장치를 얻을 수 있다.

(57) 청구의 범위

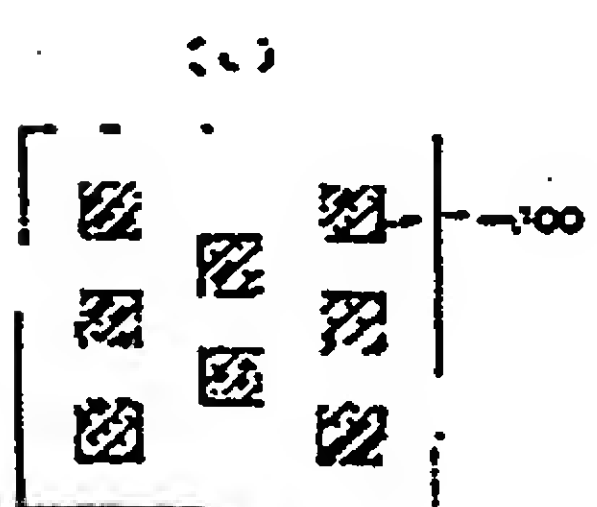
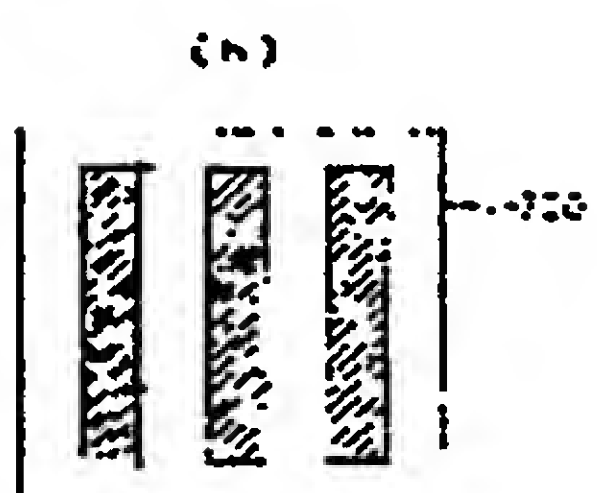
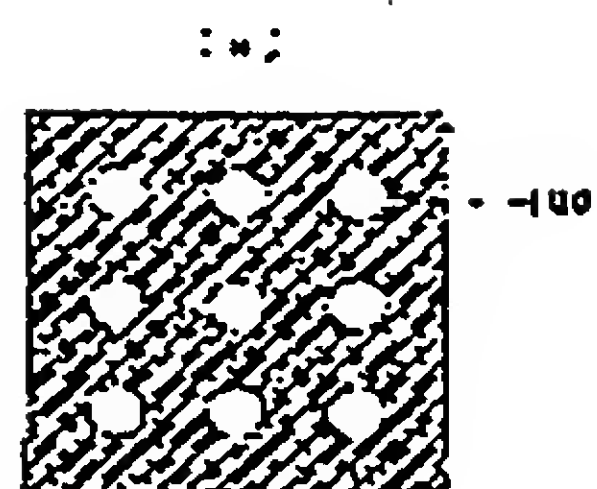
청구항 1. 반도체 기재상에 제1 레지스트의 막을 형성하고, 이 막을 패턴 형성하여 산을 공급할 수 있는 제1 레지스트 패턴을 형성하는 공정과, 이 제1 레지스트 패턴상에 제1 레지스트 패턴을 용해시키지 않고, 또한 산의 존재에 의해 가교 반응을 일으키는 제2 레지스트를 형성하는 공정과, 상기 제1 레지스트 패턴으로부터의 산의 공급에 의해 상기 제1 레지스트 패턴에 접하는 상기 제2 레지스트의 계면 부분에 가교막을 형성하는 처리 공정과, 제1 레지스트 패턴을 용해시키지 않고 제2 레지스트를 용해시킬 수 있는 용해성이 높은 용액으로 상기 제2 레지스트의 비가교 부분을 현상하고, 또한 용해성이 낮은 용액으로 린스하는 다단계 처리에 의해 제2 레지스트 패턴을 형성하는 공정과, 이 제2 레지스트 패턴을 마스크로 하여 상기 반도체 기재를 에칭하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2. 제1항에 있어서, 상기 용해성이 높은 용액이 제1 레지스트를 용해시키지 않는 범위에서 물에 알코올류 혹은 수용성의 유기 용제를 혼합한 용액이고, 상기 용해성이 낮은 용액이 물인 것을 특징으로 하는 반도체 장치의 제조 방법.

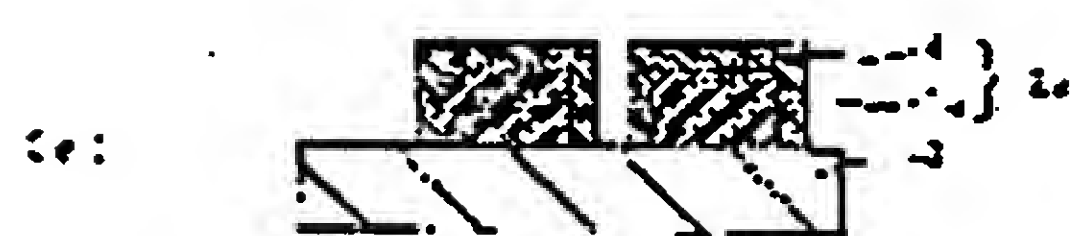
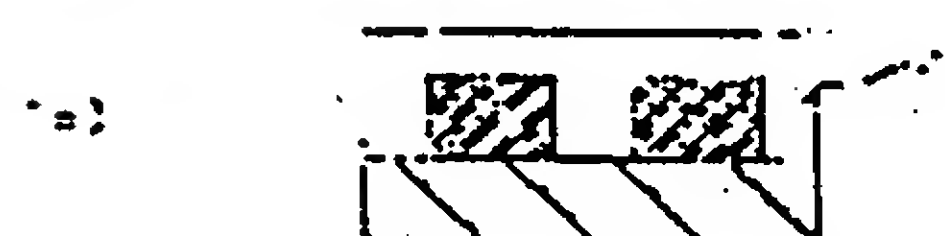
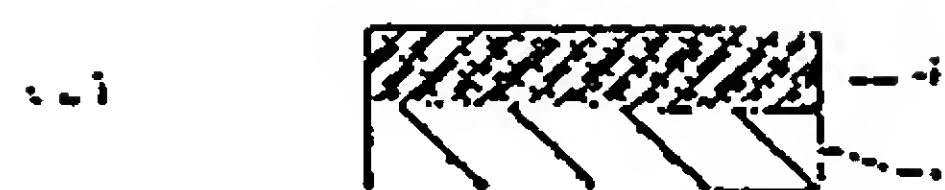
청구항 3. 제1 또는 2항에 기재한 반도체 장치의 제조 방법에 의해 제조된 것을 특징으로 하는 반도체 장치.

도면

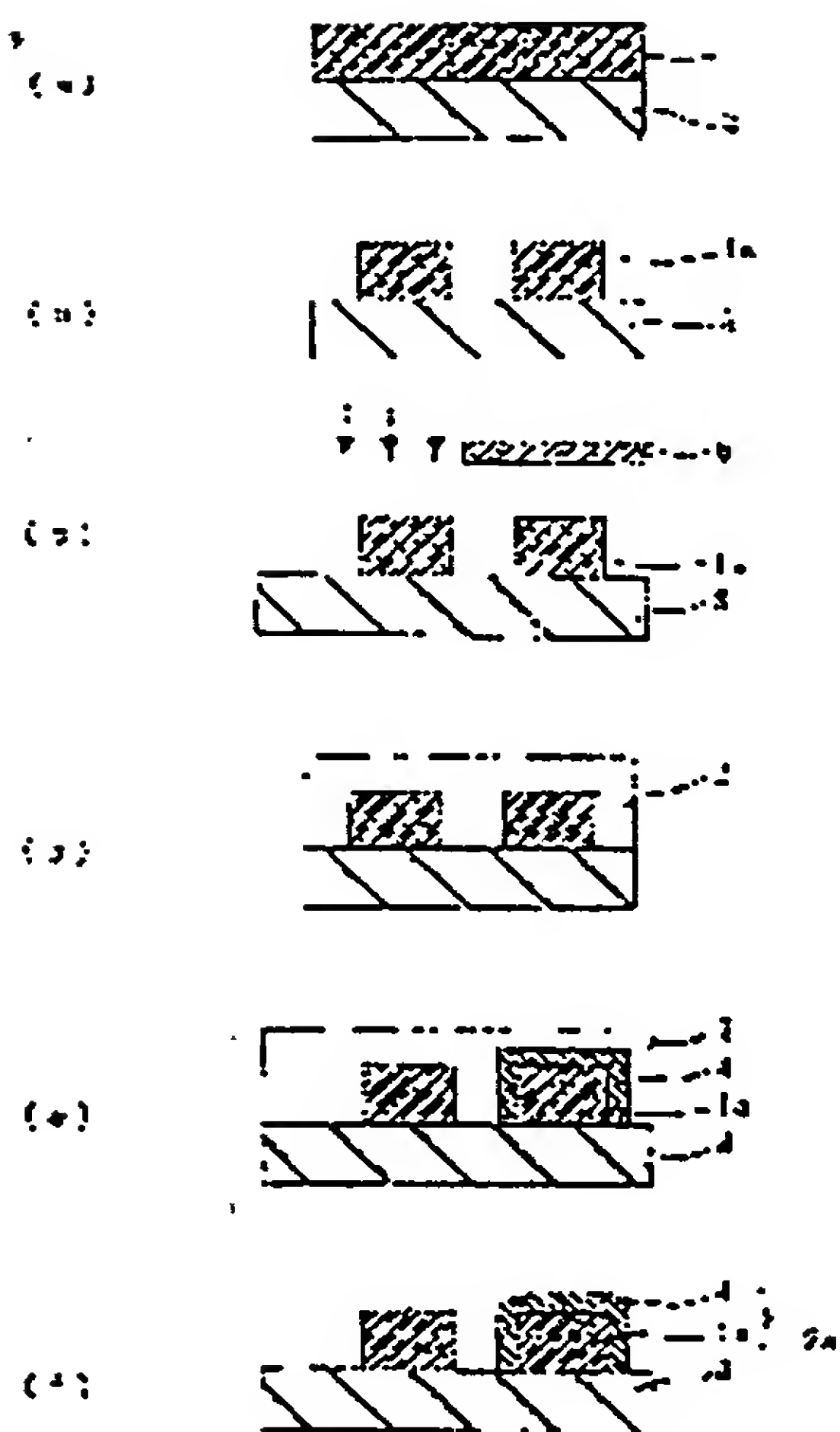
도면1



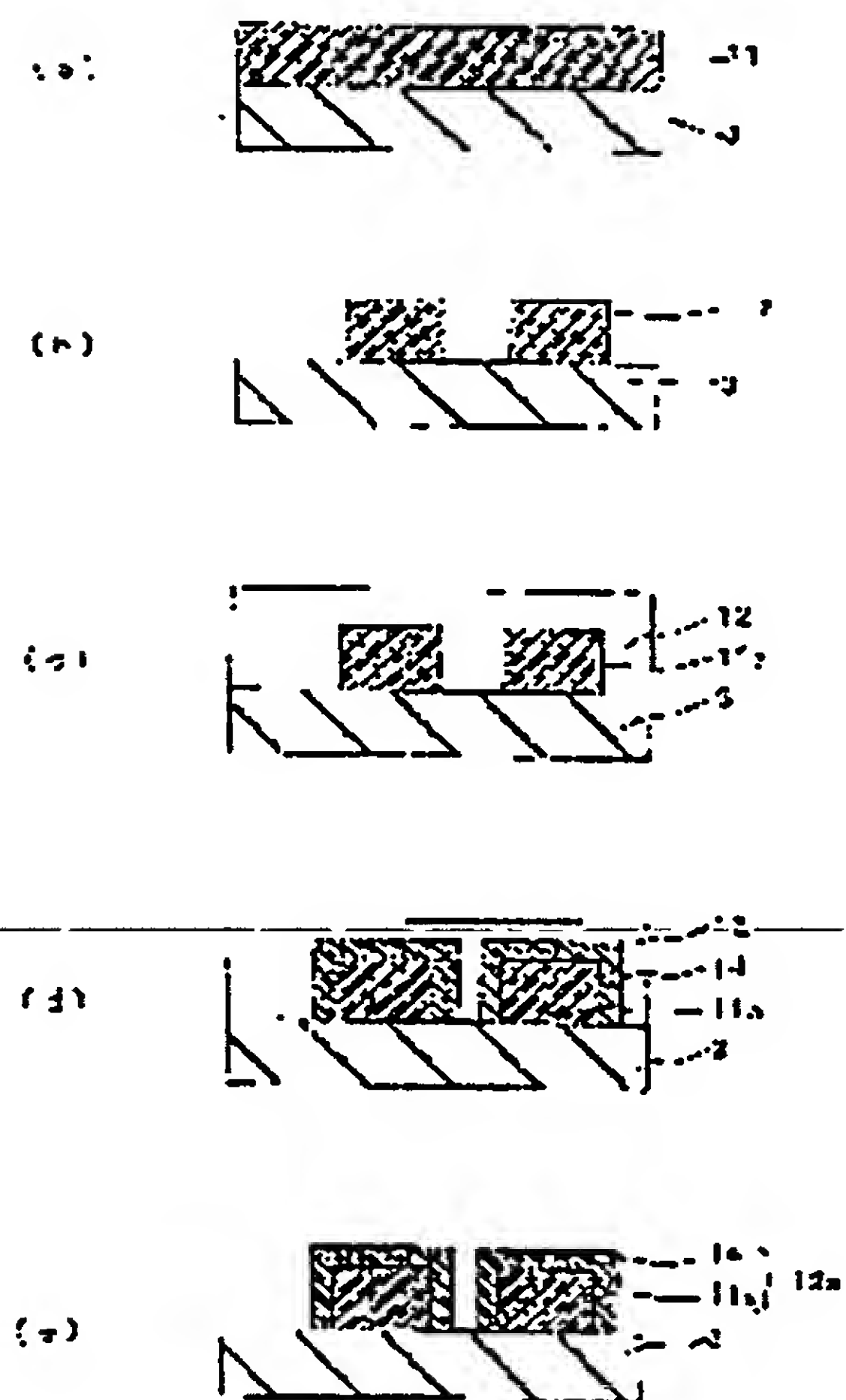
도면2



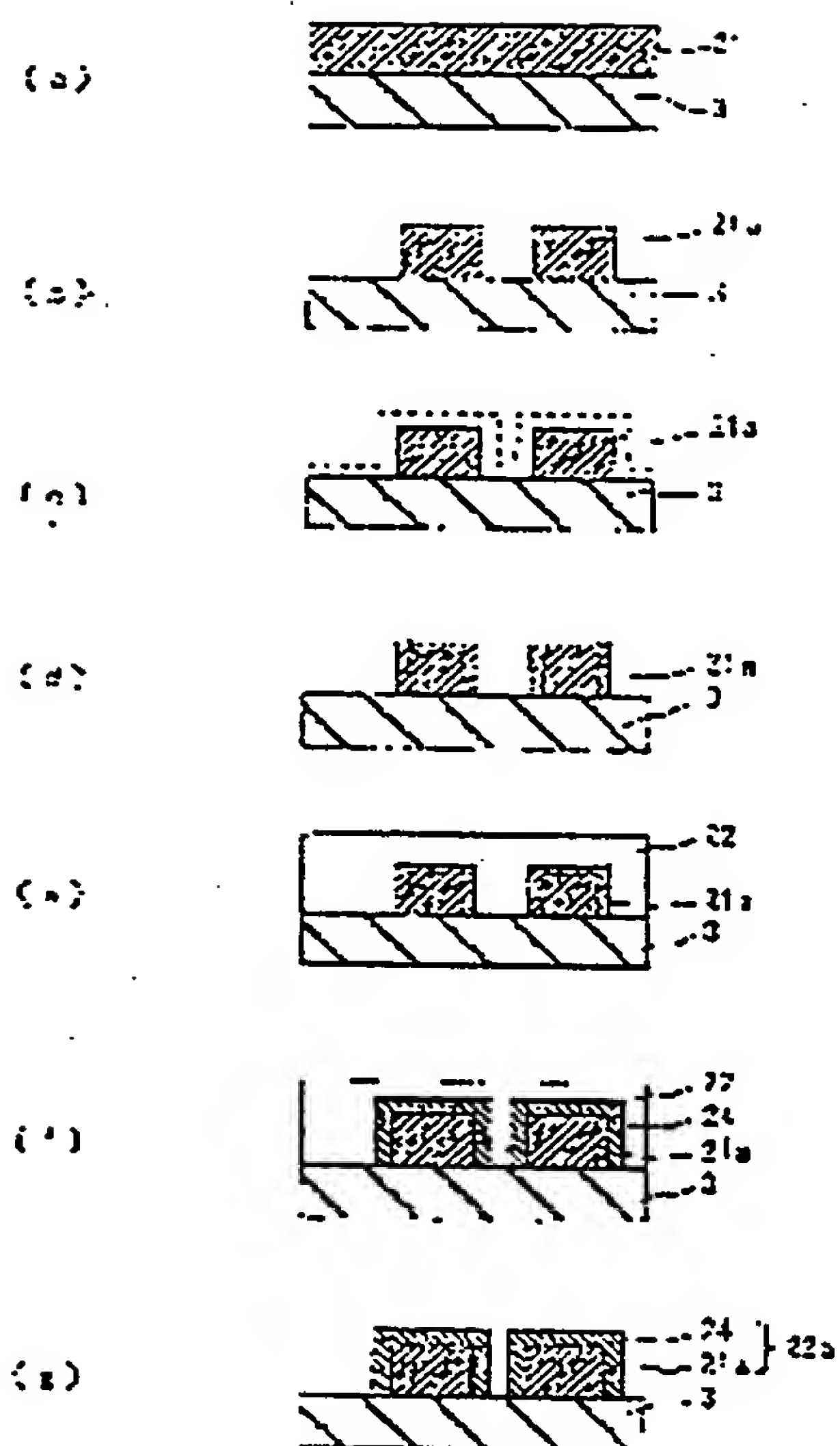
도면 7



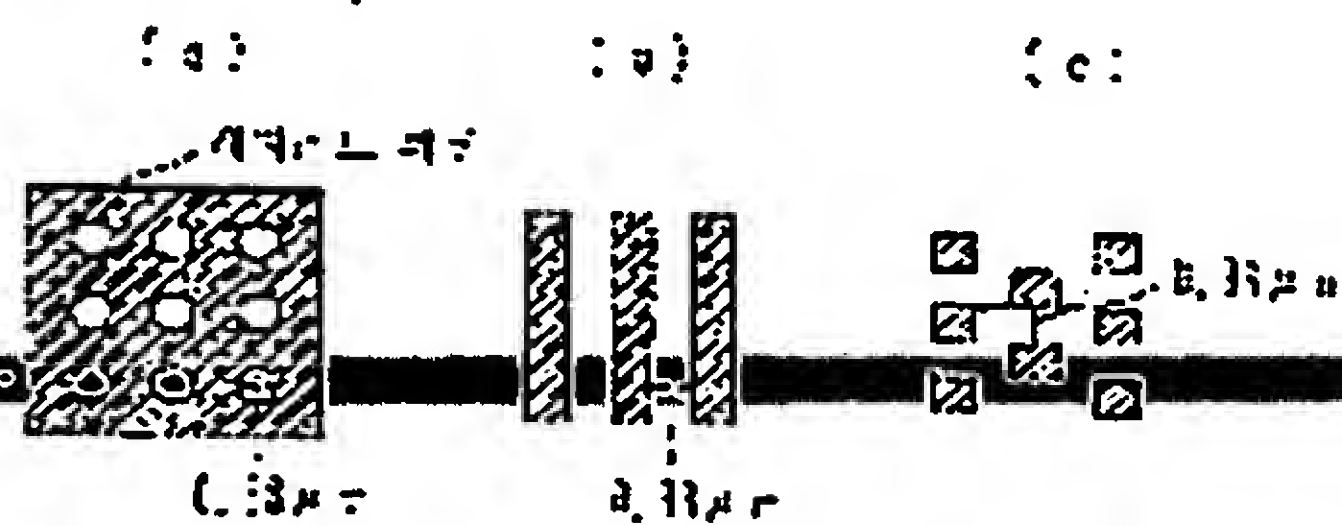
도면 8



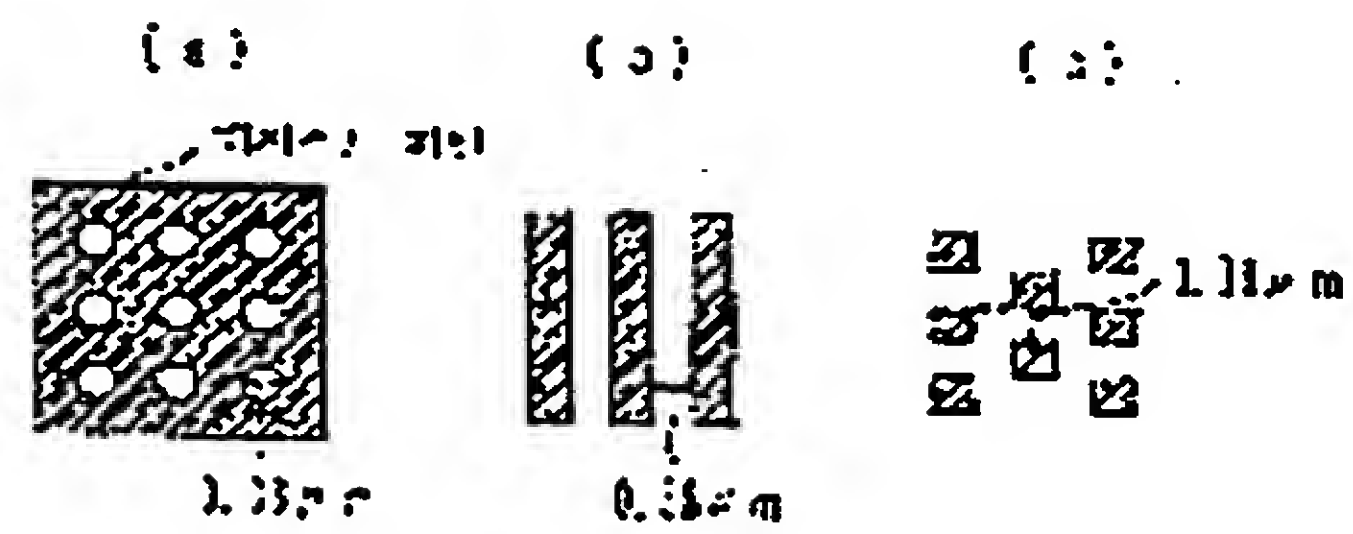
도면9



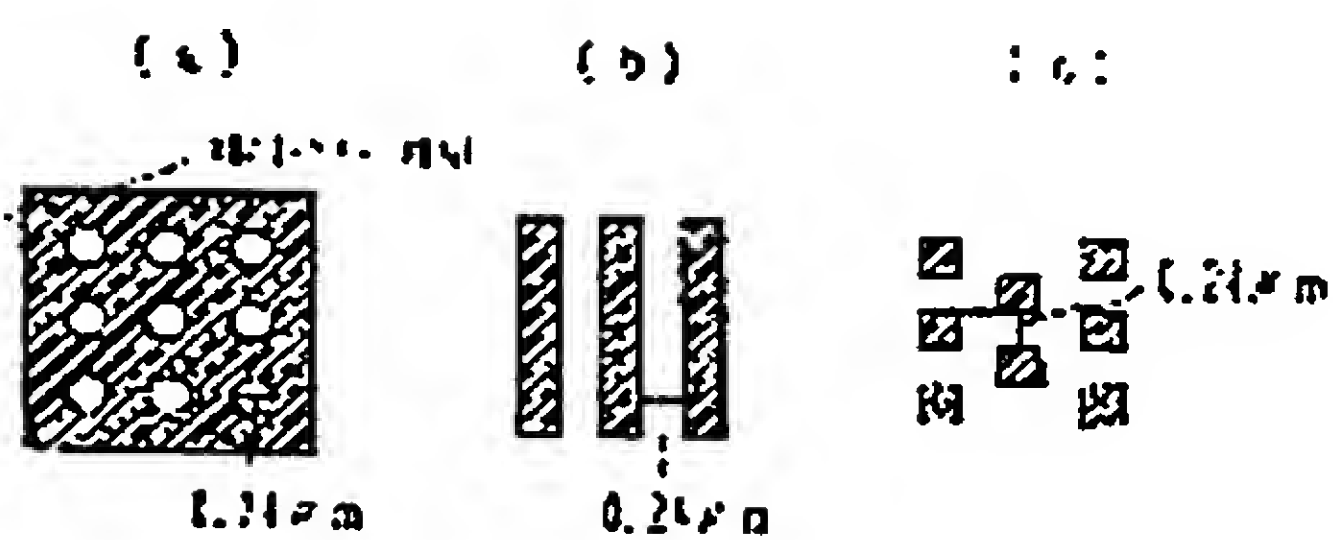
도면10



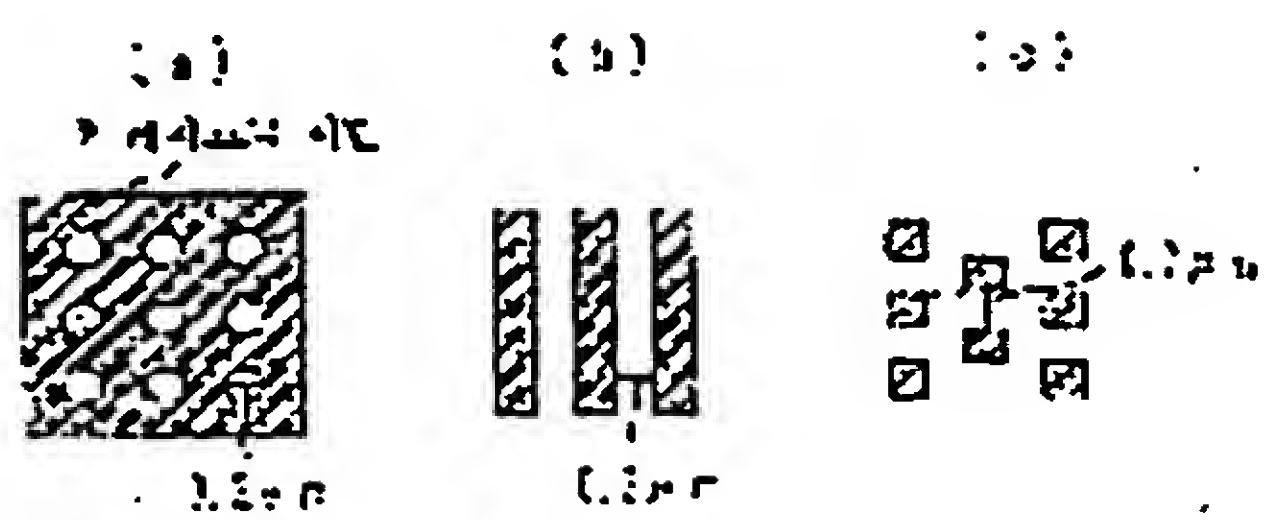
도면11



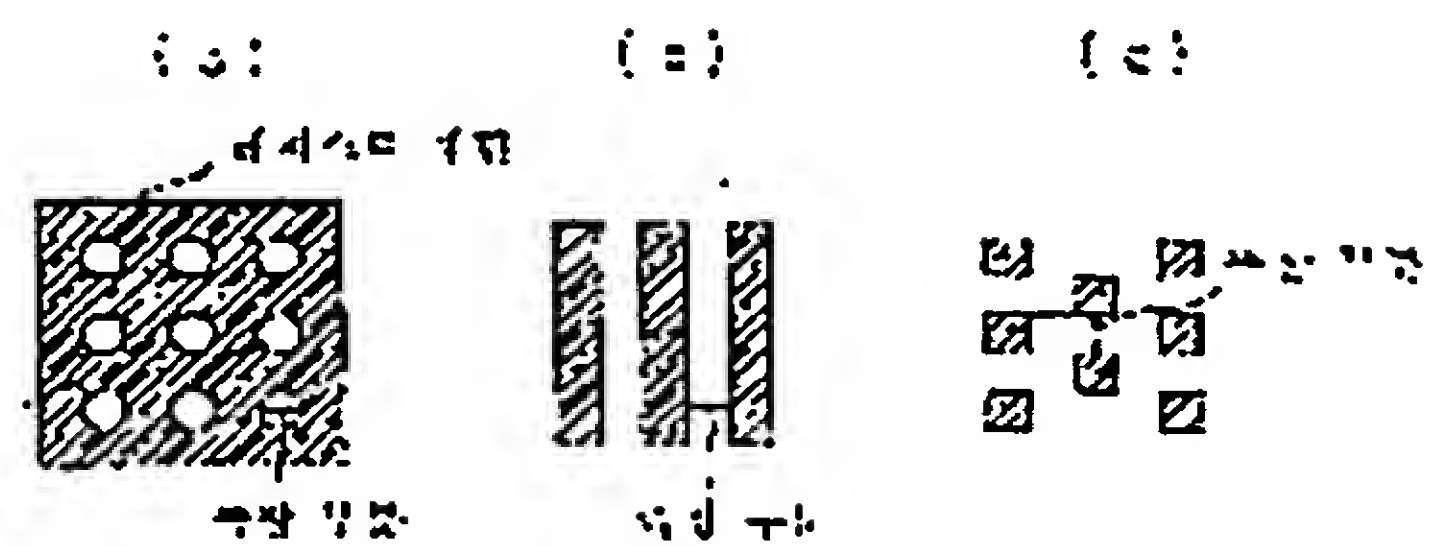
도면12



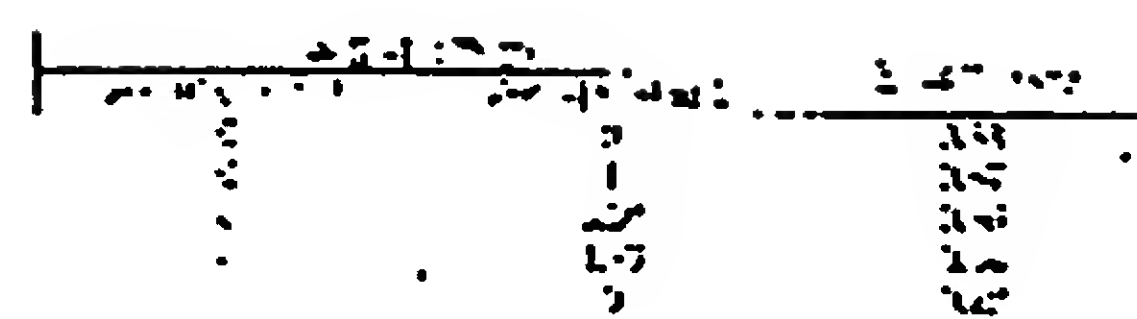
도면13



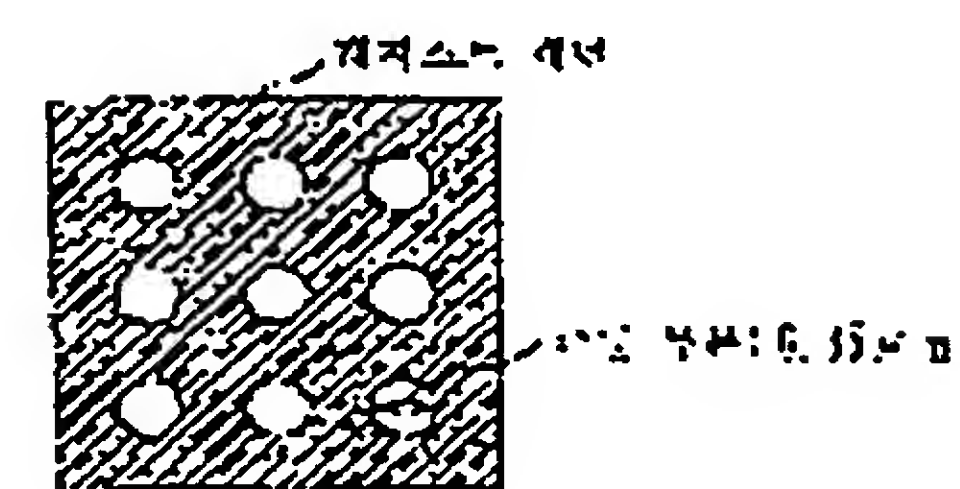
도면14



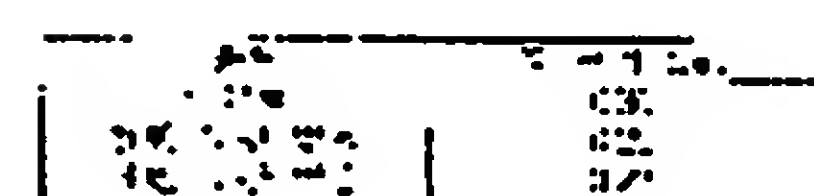
도면15



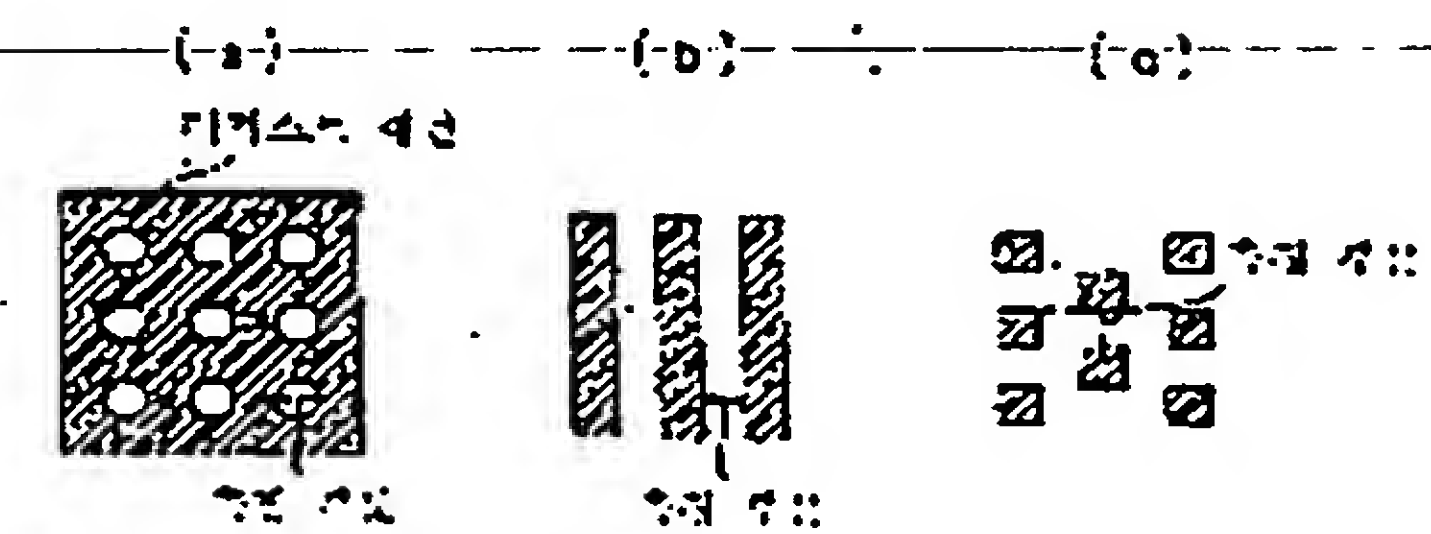
도면16



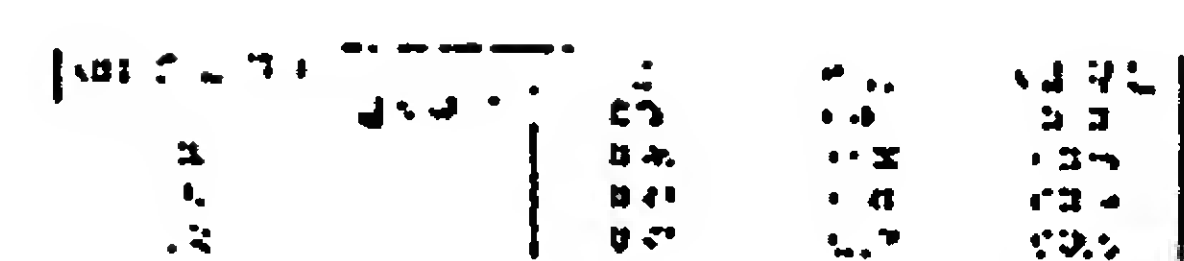
도면17



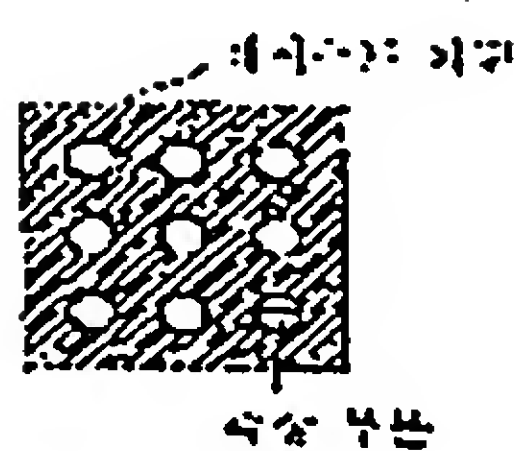
도면18



도면19



도판 20



5821

DATE	TIME	LOCATION	REMARKS
1-10-68	10:00	1000	1000
1-11-68	10:00	1000	1000
1-12-68	10:00	1000	1000
1-13-68	10:00	1000	1000
1-14-68	10:00	1000	1000
1-15-68	10:00	1000	1000
1-16-68	10:00	1000	1000
1-17-68	10:00	1000	1000
1-18-68	10:00	1000	1000
1-19-68	10:00	1000	1000
1-20-68	10:00	1000	1000
1-21-68	10:00	1000	1000
1-22-68	10:00	1000	1000
1-23-68	10:00	1000	1000
1-24-68	10:00	1000	1000
1-25-68	10:00	1000	1000
1-26-68	10:00	1000	1000
1-27-68	10:00	1000	1000
1-28-68	10:00	1000	1000
1-29-68	10:00	1000	1000
1-30-68	10:00	1000	1000
1-31-68	10:00	1000	1000

도표 22

[illegible]

도표 23

[illegible]

도면24

[illegible]

도면 25

[illegible]

도표 28

24.	Date	Amount	
		To	By
1911-12	10-10-11	100	100
1912-13	10-10-12	100	100
1913-14	10-10-13	100	100
1914-15	10-10-14	100	100
1915-16	10-10-15	100	100
1916-17	10-10-16	100	100
1917-18	10-10-17	100	100
1918-19	10-10-18	100	100
1919-20	10-10-19	100	100
1920-21	10-10-20	100	100
1921-22	10-10-21	100	100
1922-23	10-10-22	100	100
1923-24	10-10-23	100	100
1924-25	10-10-24	100	100
1925-26	10-10-25	100	100
1926-27	10-10-26	100	100
1927-28	10-10-27	100	100
1928-29	10-10-28	100	100
1929-30	10-10-29	100	100
1930-31	10-10-30	100	100
1931-32	10-10-31	100	100
1932-33	10-10-32	100	100
1933-34	10-10-33	100	100
1934-35	10-10-34	100	100
1935-36	10-10-35	100	100
1936-37	10-10-36	100	100
1937-38	10-10-37	100	100
1938-39	10-10-38	100	100
1939-40	10-10-39	100	100
1940-41	10-10-40	100	100
1941-42	10-10-41	100	100
1942-43	10-10-42	100	100
1943-44	10-10-43	100	100
1944-45	10-10-44	100	100
1945-46	10-10-45	100	100
1946-47	10-10-46	100	100
1947-48	10-10-47	100	100
1948-49	10-10-48	100	100
1949-50	10-10-49	100	100
1950-51	10-10-50	100	100
1951-52	10-10-51	100	100
1952-53	10-10-52	100	100
1953-54	10-10-53	100	100
1954-55	10-10-54	100	100
1955-56	10-10-55	100	100
1956-57	10-10-56	100	100
1957-58	10-10-57	100	100
1958-59	10-10-58	100	100
1959-60	10-10-59	100	100
1960-61	10-10-60	100	100
1961-62	10-10-61	100	100
1962-63	10-10-62	100	100
1963-64	10-10-63	100	100
1964-65	10-10-64	100	100
1965-66	10-10-65	100	100
1966-67	10-10-66	100	100
1967-68	10-10-67	100	100
1968-69	10-10-68	100	100
1969-70	10-10-69	100	100
1970-71	10-10-70	100	100
1971-72	10-10-71	100	100
1972-73	10-10-72	100	100
1973-74	10-10-73	100	100
1974-75	10-10-74	100	100
1975-76	10-10-75	100	100
1976-77	10-10-76	100	100
1977-78	10-10-77	100	100
1978-79	10-10-78	100	100
1979-80	10-10-79	100	100
1980-81	10-10-80	100	100
1981-82	10-10-81	100	100
1982-83	10-10-82	100	100
1983-84	10-10-83	100	100
1984-85	10-10-84	100	100
1985-86	10-10-85	100	100
1986-87	10-10-86	100	100
1987-88	10-10-87	100	100
1988-89			

도 2127

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100
---	---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	-----

